

AUTOREFERAT

Wersja polska

Opis dorobku i osiągnięć naukowych,
w szczególności określonych w art. 16 ust. 2 Ustawy

Dr inż. Grzegorz Janczyk

Instytut Technologii Elektronowej
Zakład Projektowania Układów Scalonych i Systemów
Kierownik Zakładu, Adiunkt

Politechnika Warszawska
Instytut Mikroelektroniki i Optoelektroniki
Zakład Metod Projektowania w Mikroelektronice
Adiunkt

Warszawa 2016

Zawartość

| | |
|---|----|
| 1. Informacje personalne | 3 |
| 2. Posiadane dyplomy i stopnie naukowe..... | 3 |
| 3. Informacje o dotychczasowym zatrudnieniu w jednostkach naukowych..... | 5 |
| 4. Wskazanie osiągnięcia naukowego..... | 6 |
| 4.1. Kontekst prac badawczych | 7 |
| 4.2. Prace badawcze składające się na osiągnięcie w rozumieniu Ustawy | 8 |
| 4.2.1. Projekt e-CUBES | 9 |
| 4.2.2. Projekt SE2A..... | 11 |
| 4.2.3. Projekt Corona | 11 |
| 4.2.4. Projekt Parsimo..... | 13 |
| 4.2.5. Projekt e-Brains | 15 |
| 4.2.6. Projekt SMAC | 19 |
| 5. Synteza i wnioski | 21 |
| 6. Zgłoszona literatura wchodząca w skład osiągnięcia naukowego | 23 |
| 7. Zasoby internetowe powiązane z osiągnięciem naukowym | 24 |
| 8. Pełny wykaz publikacji..... | 25 |



1. Informacje personalne

| GRZEGORZ JANCZYK | |
|---|--|
|  | 📍 ITE: Al. Lotników 32/46 02-668 Warszawa |
| | 📍 PW: ul. Koszykowa 75 00-662 Warszawa |
| | ☎ ITE: +48 22 548 78 50 |
| | ☎ PW: +48 22 234 72 07 |
| | ✉ ITE: janczyk@ite.waw.pl |
| | ✉ PW: janczyk@imio.pw.edu.pl |
| 🌐 www.imio.pw.edu.pl | |
| 🌐 www.ite.waw.pl | |
| 🏠 Index = 4 | |

ZNAJOMOŚĆ JĘZYKÓW

| Język ojczysty Inne języki | POLSKI | | | | |
|-------------------------------|------------|----------|--------------------|------------------|---------|
| | ROZUMIENIE | | MÓWIENIE | | PISANIE |
| | Słuchanie | Czytanie | Porozumiewanie się | Wypowiadanie się | |
| Angielski | C1 | C1 | C1 | C1 | C1 |
| Włoski | B2 | B1 | B2 | B2 | B1 |
| Niemiecki | B1 | A1 | A1 | A1 | A1 |
| Rosyjski | A1 | A1 | A1 | A1 | A1 |

2. Posiadane dyplomy i stopnie naukowe

| OKRES | WYKSZTAŁCENIE |
|-------------|--|
| 1988 – 1993 | Szkoła średnia Technikum Elektroniczno-Mechaniczne w Warszawie, ul. Gen. Zajączka Specjalność: elektronika ogólna |
| 1993 – 1999 | Studia magisterskie Politechnika Warszawska, Wydział Elektroniki i Technik Informacyjnych Specjalność: mikroelektronika Dyplom ukończenia z wyróżnieniem i oceną celującą. |
| 1999 – 2005 | Studia doktoranckie Politechnika Warszawska, Wydział Elektroniki i Technik Informacyjnych Dyplom ukończenia studiów. |

| OKRES | SZKOLENIE | CERTYFIKAT |
|-------------------------|---|---------------|
| 05.02.2007 – 06.02.2007 | CLEAN – Kraków „Leakage Currents and static Power In Nanometer CMOS Circuits” | Dyplom |
| 14.05.2009 – 15.05.2009 | COVENTOR S.A.R.L – Paryż MEMS Development and IC Co-Simulation | Dyplom |
| 29.06.2009 – 03.07.2009 | IDESA – Mons Advanced Analog Implementation Flow | Dyplom |
| 06.07.2010 – 07.07.2010 | Cadence – Łódź Behavioral Modeling with VERILOG-AMS – customized | Dyplom |
| 07.10.2010 – 08.10.2010 | FSRM – Wiedeń Microsystems In Biomedical Engineering and Medical Products | Dyplom |
| 28-04.2014 – 28.06.2014 | OKNO – Warszawa Metodyka e-Learningu PW | Dyplom |
| 11.10.2014 – 12.10.2014 | SIMS – Warszawa Laboratorium Kreatywności EUREKA | Dyplom |
| 22.11.2014 – 23.11.2014 | SIMS – Warszawa Human Resources (HR) | Dyplom |
| 27.02.2015 – 28.02.2015 | SIMS – Warszawa Business Development | Dyplom |
| 20.05.2015 – 21.05.2015 | SIMS – Warszawa Wrap up, Kick Off and Move on to the Next Level | Dyplom |
| 19.02.2016 – 19.02.2016 | FSRM – Lozanna Wearable sensing and computing | Dyplom |

| TYTUŁ | MAGISTER INŻYNIER |
|-----------------------------|--|
| Uczelnia | Politechnika Warszawska |
| Wydział | Elektroniki i Technik Informatycznych |
| Specjalność | Mikroelektronika i Optoelektronika |
| Studia | Dzienne, stacjonarne |
| Temat pracy | <i>Określanie rezystancji obszarów rezystywnych o zaburzonych kształtach</i> |
| Promotor | Prof. dr hab. inż. Wiesław Kuźmich |
| Data obrony | 05.03.1999 |
| Informacje dodatkowe | Praca wyróżniona. |

| TYTUŁ | DOKTOR NAUK TECHNICZNYCH |
|--------------------|---|
| Uczelnia | Politechnika Warszawska |
| Wydział | Elektroniki i Technik Informatycznych |
| Specjalność | Mikroelektronika i Optoelektronika |
| Temat pracy | <i>Zjawiska bipolarne w tranzystorach SOI-MOS</i> |
| Promotor | Prof. dr hab. inż. Wiesław Kuźmicz |
| Data obrony | 01.03.2005 |

3. Informacje o dotychczasowym zatrudnieniu w jednostkach naukowych

| OKRES | DOŚWIADCZENIE ZAWODOWE | | | | | | |
|---|---|-----------------------------------|-------|---|-----------|---|---------|
| 2001 – 2005 | <p>Asystent</p> <table border="0"> <tr> <td>Politechnika Warszawska</td> <td>(PW)</td> </tr> <tr> <td>Instytut Mikroelektroniki i Optoelektroniki</td> <td>(IMiO)</td> </tr> <tr> <td>Zakład Metod Projektowania w Mikroelektronice</td> <td>(ZMPwM)</td> </tr> </table> | Politechnika Warszawska | (PW) | Instytut Mikroelektroniki i Optoelektroniki | (IMiO) | Zakład Metod Projektowania w Mikroelektronice | (ZMPwM) |
| Politechnika Warszawska | (PW) | | | | | | |
| Instytut Mikroelektroniki i Optoelektroniki | (IMiO) | | | | | | |
| Zakład Metod Projektowania w Mikroelektronice | (ZMPwM) | | | | | | |
| 2005 – trwa | <p>Adiunkt</p> <table border="0"> <tr> <td>Politechnika Warszawska</td> <td>(PW)</td> </tr> <tr> <td>Instytut Mikroelektroniki i Optoelektroniki</td> <td>(IMiO)</td> </tr> <tr> <td>Zakład Metod Projektowania w Mikroelektronice</td> <td>(ZMPwM)</td> </tr> </table> | Politechnika Warszawska | (PW) | Instytut Mikroelektroniki i Optoelektroniki | (IMiO) | Zakład Metod Projektowania w Mikroelektronice | (ZMPwM) |
| Politechnika Warszawska | (PW) | | | | | | |
| Instytut Mikroelektroniki i Optoelektroniki | (IMiO) | | | | | | |
| Zakład Metod Projektowania w Mikroelektronice | (ZMPwM) | | | | | | |
| 2006 – 2012 | <p>Adiunkt</p> <table border="0"> <tr> <td>Instytut Technologii Elektronowej</td> <td>(ITE)</td> </tr> <tr> <td>Zakład Projektowania Układów Scalonych i Systemów</td> <td>(ITE-Z09)</td> </tr> </table> | Instytut Technologii Elektronowej | (ITE) | Zakład Projektowania Układów Scalonych i Systemów | (ITE-Z09) | | |
| Instytut Technologii Elektronowej | (ITE) | | | | | | |
| Zakład Projektowania Układów Scalonych i Systemów | (ITE-Z09) | | | | | | |
| 2012 – 2015 | <p>Adiunkt, Kierownik Zakładu</p> <table border="0"> <tr> <td>Instytut Technologii Elektronowej</td> <td>(ITE)</td> </tr> <tr> <td>Zakład Projektowania Układów Scalonych i Systemów</td> <td>(ITE-Z09)</td> </tr> </table> | Instytut Technologii Elektronowej | (ITE) | Zakład Projektowania Układów Scalonych i Systemów | (ITE-Z09) | | |
| Instytut Technologii Elektronowej | (ITE) | | | | | | |
| Zakład Projektowania Układów Scalonych i Systemów | (ITE-Z09) | | | | | | |
| 2015 – trwa | <p>Adiunkt, Kierownik Zakładu Członek Rady Naukowej Instytutu Technologii Elektronowej</p> <table border="0"> <tr> <td>Instytut Technologii Elektronowej</td> <td>(ITE)</td> </tr> <tr> <td>Zakład Projektowania Układów Scalonych i Systemów</td> <td>(ITE-Z09)</td> </tr> </table> | Instytut Technologii Elektronowej | (ITE) | Zakład Projektowania Układów Scalonych i Systemów | (ITE-Z09) | | |
| Instytut Technologii Elektronowej | (ITE) | | | | | | |
| Zakład Projektowania Układów Scalonych i Systemów | (ITE-Z09) | | | | | | |

Po ukończeniu studiów magisterskich, rozpocząłem studia doktoranckie i podjąłem pracę na stanowisku asystenta na wydziale Elektroniki i Technik Informatycznych (WEiTI) Politechniki Warszawskiej (PW) w Instytucie Mikroelektroniki i Optoelektroniki (IMiO) w Zakładzie Metod Projektowania w Mikroelektronice (ZMPwM). Po ukończeniu studiów doktoranckich w 2005 roku i uzyskaniu tytułu doktora nauk technicznych w zakresie elektroniki, kontynuowałem pracę na Wydziale Elektroniki i Technik Informatycznych Politechniki Warszawskiej na stanowisku adiunkta. Oprócz prowadzonej działalności dydaktycznej i badawczej obejmującej promotorstwo prac magisterskich, wykłady, zajęcia laboratoryjne i ćwiczenia prowadzone na WEiTI w Instytucie IMiO w Zakładzie ZMPwM, za wiedzą i zgodą Władz Uczelni czynnie włączyłem się w prace badawcze prowadzone w Zakładzie Projektowania Układów Scalonych i Systemów (ITE-Z09) Instytutu Technologii

Elektronowej (ITE). W październiku 2006 roku podjąłem tam zatrudnienie na stanowisku adiunkta, a po kolejnych 6 latach pracy, w lutym 2012 objąłem stanowisko kierownika zakładu ITE-Z09, które to stanowisko z powodzeniem piastuję do dnia dzisiejszego. Od kwietnia 2015 roku jestem również członkiem Rady Naukowej Instytutu Technologii Elektronowej. Bardziej szczegółowe informacje o mojej działalności dydaktycznej, współpracy naukowej i popularyzacji nauki przedstawiłem w załączniku nr 5 pt. „*Informacja o działalności dydaktycznej, współpracy naukowej i popularyzacji nauki*”.

4. Wskazanie osiągnięcia naukowego

Istotny autorski wkład do nauki w obszarze dyscypliny naukowej „*elektrotechnika, elektronika, inżyniera informatyczna*” (klasyfikacja OECD) lub w obszarze „*nauki techniczne*”, w dziedzinie „*nauki techniczne*” w specjalności „*elektronika*” (zgodnie z Dz. U. 2011 Nr 179, poz. 1065) przedstawianego osiągnięcia dotyczy „***opracowania i wprowadzenia do praktyki projektowej w Polsce metodologii budowania systemów heterogenicznych typu SoC/SiP, połączonego z optymalizacją tego procesu, jak również optymalizacją produktu, traktowane jako próba odbudowania krajowych specjalizacji w dziedzinie opracowywania układów scalonych i (mikro)-systemów***”.

Osiągnięcie to przedstawiam w postaci cyklu publikacji powiązanych tematycznie, których zestawienie umieszczono w p. 6 niniejszego autoreferatu oraz w załączniku nr 4 do wniosku o przeprowadzenie postępowania habilitacyjnego w dziedzinie nauk technicznych w dyscyplinie elektronika.

Niniejszy autoreferat opisuje ścieżkę mojej kariery zawodowej w kontekście prowadzonych badań, na przykładzie wybranych publikacji i wystąpień konferencyjnych z moim udziałem od chwili uzyskania tytułu doktora (2005), aż do chwili obecnej. Dokument ten prezentuje spójny proces zawodowego rozwoju i ma na celu przybliżenie profilu działalności w szerokim kontekście krajowej i międzynarodowej współpracy, sposobów finansowania badań w świetle obserwowanych obecnie trendów w rozwoju technologii elektronicznych. We wstępie przedstawiłem moją działalność na tle bagażu doświadczeń zespołu pracowników Zakładu Projektowania Układów Scalonych i Systemów Instytutu Technologii Elektronowej (ITE-Z09), w którym to zespole jest mi dane funkcjonować i z którego to zespołu członkami mam zaszczyt współpracować od roku 2006. Tworzy to pełny obraz współtworzonej w Instytucie Technologii Elektronowej metodologii opracowywania produktu, obejmującej zarówno zagadnienia pozyskania funduszy, prowadzenia badań, interakcje z klientem zarówno przemysłowym jak i naukowo-badawczym. Obejmuje również dyskusję metodologii projektowania poczynając od stosowanych narzędzi wspomagających komputerowe projektowanie (EDA-CAD), poprzez właściwy proces projektowania (symulacje, weryfikacja, optymalizacja), fizyczną realizację projektowych opracowań na zagadnieniach fizycznej integracji na poziomie narzędzi i sprzętu kończąc. To specyficzny i dynamicznie rozwijający się obszar wiedzy i kompetencji zarówno w kraju jak i na arenie międzynarodowej. Dominującym obecnie modelem funkcjonowania wielu ośrodków i firm stał się model businessowy *fabless*, w którym do skutecznego działania na rynku niezbędne są głębokie kwalifikacje w obszarze projektowania układów i systemów scalonych, lecz nie ma nieuniknionej potrzeby ponoszenia kosztów utrzymania półprzewodnikowej linii produkcyjnej. Liczba wyspecjalizowanych ośrodków wytwarzających układy scalone i mikrosystemy w skali świata jest relatywnie niewielka, lecz bezwzględnie wysoki koszt ich utrzymania jest równoważony szeroką współpracą z firmami działającymi w modelu *fabless*. Dążenie do zapewnienia konkurencyjności krajowego przemysłu obejmuje wszystkie dominujące w rozwoju cywilizacyjnym gałęzie: przemysł lotniczy i kosmiczny, samochodowy, maszynowy, aparaturę medyczną aż po sprzęty codziennego użytku – wszędzie tam gdzie powodzenie jest uwarunkowane kompetencjami zespołów i doświadczeniem. To właśnie odbudowanie i zgromadzenie w tych kompetencji w jednym zespole specjalistów postawiłem sobie za cel pracy w minionym 10-leciu mojej zawodowej aktywności.

Z uwagi na podejmowaną tematykę i doświadczenie w przedmiotowym obszarze oraz nadrzędny cel, jakim było dla mnie podjęcie próby odbudowania, choćby we fragmencie, krajowych specjalizacji w obszarze konstruowania układów i systemów heterogenicznych, całe zagadnienie nabiera szczególnego wydźwięku wobec faktu, że w dziedzinie projektowania i realizacji systemów heterogenicznych krajowy przemysł zmaga się z wieloletnimi opóźnieniami zarówno od strony badawczej jak i praktycznego wykorzystania posiadanej wiedzy za sprawą braku popytu ze strony rynku krajowego. Co więcej, na chwilę obecną w kraju nie istnieje żadna linia technologiczna umożliwiająca stabilną, wielkoseryjną produkcję układów półprzewodnikowych. Jest to rodzaj destrukcyjnej spirali niemocy. Oczywiście faktem jest również, że metody projektowania oraz stabilne technologie produkcji w połączeniu z wieloletnimi doświadczeniami europejskich zespołów badawczych stawiają w szczególnie trudnej sytuacji krajowe zespoły naukowców, techników i technologów. Lokalny sukces technologiczny, jako zwieńczenie miesięcy prac nie jest niczym niezwykłym dla ośrodków zlokalizowanych w

Europie zachodniej systematycznie prowadzących swoją działalność od dziesięcioleci. Działalność w tym obszarze prowadzę od dziesięciu lat, a niniejsze opracowanie stanowi podsumowanie tego okresu mojej zawodowej aktywności. Działalność tą przedstawiłem również w jubileuszowym wydaniu Elektroniki[13], związanym z 50 rocznicą powołania Instytutu Technologii Elektronowej.

4.1. Kontekst prac badawczych

Prace prowadzone w Zakładzie Projektowania Układów Scalonych i Systemów (ITE-Z09) Instytutu Technologii Elektronowej obejmują dziś wiele obszarów badawczych pokrywających szerokie spektrum zagadnień procesu opracowywania, realizacji i testowania układów scalonych, modułów (jak np. układy odczytowe, przetwarzania danych, komunikacyjne), urządzeń i całych systemów (np. sieci czujnikowe i systemy sterowania i kontroli dla przemysłu). Wpisuje się to w kluczowe kierunki rozwoju współczesnej kultury technicznej jak Internet Przedmiotów - IoT (ang. *Internet of Things*), systemy CPS (ang. *Cyber-Physical Systems*) i stanowiące zwornik powyższych zagadnienie czwartej rewolucji przemysłowej (ang. *Industry 4.0*) łączące ze sobą maszyny, systemy, procesy, wyroby i dane w produkt, którym są „*inteligentne*” (ang. *Smart*), samonadzorujące, samo-organizujące się teleinformatyczne sieci/systemy urządzeń znajdujące się w stanie interakcji z otoczeniem określanym ostatnio mianem „*ekosystemu*”. Pojęcie *Industry 4.0* usystematyzowano 8 kwietnia 2013 roku, kiedy to pracownicy firmy Bosch GmbH zdefiniowali zestaw zaleceń wdrożeniowych koncepcji czwartej rewolucji przemysłowej dotyczących opracowywania rozwiązań sprzętowych, wykorzystania doświadczeń w obszarze projektowania układów scalonych, integracji heterogenicznej oraz fizycznego konstruowania systemów heterogenicznych. Dziś jest to dynamicznie rozwijająca się dziedzina wiedzy, w którą świadomie wplątam prace prowadzone w Zakładzie ITE-Z09. Zaprojektowanie i optymalizacja systemu heterogenicznego wymaga uwzględnienia wielu, wzajemnie powiązanych i nierazko sprzecznych ze sobą zagadnień i kryteriów optymalizacji wynikających z odmiennego charakteru integrowanych technologii, i samego faktu ich integracji w jednym chipie bądź systemie. Zastosowanie integracji trójwymiarowej wymaga użycia wertykalnych połączeń mechanicznych, termicznych, elektrycznych i/lub optycznych, które za sprawą ograniczenia długości połączeń z jednej strony poprawiają parametry i wydajność układu, ale wymuszają synchronizację topografii poszczególnych integrowanych modułów i sprawiają, że uwzględnienie korelacji na poziomie międzymodułowych zakłóceń elektromagnetycznych czy niekorzystnego wpływu lokalnie wydzielającej się mocy czy wymaganej niezawodności staje się nietrywialną koniecznością.

Moja działalność naukowo-badawcza odbywała się w szerszym kontekście prac i doświadczeń moich współpracowników z zakładu ITE-Z09. Tradycje projektowania rozwiązań scalonych w ITE-Z09, w którym pracuję od ponad 10 lat sięgają okresu, gdy w Polsce powstał i skutecznie funkcjonował przemysł półprzewodnikowy obejmujący zarówno projektowanie, produkcję i testowanie podzespołów półprzewodnikowych jak również i ich zastosowania w dostępnym na rynku sprzęcie. W tamtych czasach była to awangarda polskiej myśli technicznej. Gdy w czerwcu 1966 roku formalnie został powołany do życia Instytut Technologii Elektronowej w Warszawie, w Stanach Zjednoczonych Gordon Moore, jeden z założycieli firmy Intel, zaobserwował regularne¹ podwajanie się liczby tranzystorów w układach scalonych. Sformułował wówczas jedną z bardziej znanych reguł współczesnej techniki - Prawo Moore'a². W 1972 roku uruchomiono pierwszą w Polsce licencyjną linię technologiczną produkującą elementy półprzewodnikowe. Wówczas powstało również niezbędne zaplecze techniczne, umożliwiające prowadzenie prac projektowych w obszarze elektroniki elementów półprzewodnikowych. Bazowano zarówno na doświadczeniu już istniejących, krajowych zespołów badawczych i jak i na wiedzy tworzonych od podstaw zespołów inżynierskich. Opóźnienie technologiczne polskiego przemysłu półprzewodnikowego względem światowej czołówki technologicznej wynosiło w tym czasie około 5 lat. Rozwój technologii mikroelektronicznych na świecie dynamicznie jednak przyspieszał. W Polsce niestety nie, a więc technologiczne opóźnienie polskiego przemysłu półprzewodnikowego od samego początku systematycznie rosło. Pracownicy Zakładu ITE-Z09, którego pracami kieruję od lutego 2012 roku, już w latach 80'ych odnosili sukcesy nie tylko w obszarze projektowania układów półprzewodnikowych, lecz również na polu projektowania systemów. Do opracowywanych układów scalonych projektowali dedykowaną elektronikę aplikacyjną lub konstruowali unikatowe w tym czasie, specjalizowane systemy jak np. skonstruowany pod koniec lat 80' cyfrowy system automatycznego sterowania ogrzewaniem w budynkach³. Doświadczenia z tego okresu posłużyły do późniejszego opracowania technicznych założeń projektowych dla specjalizowanego, całkowicie polskiego układu scalonego ASIC. Podstawowym założeniem tego opracowania była uniwersalność rozwiązania obejmującego możliwie szerokie spektrum potrzeb dopiero

¹ Okres wynosił wówczas 18 miesięcy

² Obecnie przyjmuje się, że liczba tranzystorów w mikroprocesorach podwaja się w cyklu dwuletnim

³ Jedną z realizacji tego systemu działa do dnia dzisiejszego w jednym z budynków ITE w Alei Lotników.

rodzącego się rynku inteligentnego budownictwa. Było to realne zapotrzebowanie wynikające z postępu technologicznego i kreatywności zespołów, jeden z przykładów polskiej innowacyjnej myśli technicznej w obszarze elektroniki funkcjonującej w strukturach Instytutu Technologii Elektronowej. To właśnie ta myśl techniczna stymulowała powstawanie polskich rozwiązań w latach 80' XX wieku i ewolucję technologii dobrze dziś znanych ze współczesnych, naszpikowanych elektroniką rozwiązań segmentu rynku inteligentnego budownictwa. W kolejnych latach powstawały równie innowacyjne rozwiązania na jak choćby moduły komunikacyjne czy czytniki RFID. Implementacja procesora kryptograficznego realizująca funkcjonalność specjalizowanego procesora kryptograficznego implementującego algorytm szyfrowania danych 3DES o roboczym oznaczeniu MCY74C609, osiągnęła poziom gotowości technologiczne TRL9, a sam układ w 1999 roku pojawił się na rynku⁴. Fizyczne ograniczenia związane z propagacją sygnału zegara i parametrami tranzystorów, jak również kwestie budżetu termicznego w układach scalonych spowodowały, że górna granica częstotliwości taktowania procesorów zatrzymała się na poziomie ok. 3.5GHz już około 10 lat temu. Choć z punktu widzenia szybkości zegara można zaobserwować pewną stagnację, współczesny rozwój techniki mikroprocesorowej postępuje jednak dynamicznie, a to za sprawą skalowania procesorów technologicznych przełamującego kolejne, zdawałoby się nieprzekraczalne granice obniżania napięcia zasilania układów, ograniczania mocy, zwielokrotniania liczby rdzeni, rozbudowy pojemności pamięci wewnętrznej. Równolegle postępuje rozwój w obszarze rozwoju architektury rozwiązań, implementacji sprzętowych algorytmów przetwarzania danych i technologii prowadzenia obliczeń współbieżnych. Technologiczny wyścig o upakowanie jak największej liczby tranzystorów w jednostkowej objętości układu scalonego wciąż trwa a rozwój techniki w tym obszarze nieustannie przyspiesza. Z drugiej strony, fizyczne ograniczenia coraz silniej hamują tempo opracowywania i wdrażania kolejnych generacji rozwiązań scalonych. Widoczny jest również intensywny rozwój technik projektowania i wytwarzania układów scalonych określane mianem *More than Moore* (ang. *MtM*). Kierunek ten umożliwia dziś dalsze nadążanie dostępnych rozwiązań układowych za empirycznym, wciąż jeszcze obowiązującym prawem Moore'a. Rozwiązania typu SiP (ang. *System in Package*) oraz SoC (ang. *System on Chip*), znajdują praktyczne zastosowanie w wielu dostępnych na rynku układach radiowych, pamięciach, modułach Bluetooth, modułach nawigacji satelitarnej, matrycach światłoczułych kamer i aparatów fotograficznych itd. Zastosowanie specjalizowanych technologii przeznaczonych do wytwarzania układów komunikacyjnych, pracujących przy wysokich napięciach, przy wysokim poziomie mocy, w wysokich lub niskich temperaturach otoczenia, w warunkach podwyższonego promieniowania, umożliwiającymi wytworzenie modułów pamięci ulotnej lub nieulotnej, pracę przy niskich napięciach zasilania, upakowanie dużej liczby elementów itd. nie zawsze umożliwia pogodzenie sprzecznych wymagań dotyczących parametrów użytkowych projektowanego układu. Wraz ze wzrostem objętościowej gęstości upakowania tranzystorów znaczenia nabierają przesłuchy sygnałów w układach scalonych, rozrzuty parametrów elektrycznych, wewnętrzne zakłócenia sygnałów, potrzeba galwanicznego odizolowania pewnych modułów jak również wzrost gęstości mocy cieplnej generowanej przez układ scalony podczas pracy. Trójwymiarowa, heterogeniczna integracja kilku modułów, które potencjalnie mogą być wykonane w różnych technologiach umożliwia połączenie i wykorzystanie specyficznych zalet poszczególnych zastosowanych technologii. Prowadzi to do osiągnięcia założonych parametrów systemu, co nie byłoby to możliwe w przypadku wykorzystania pojedynczej technologii do wytworzenia pojedynczego, monolitycznego układu scalonego. Umożliwia również ograniczenie powierzchni całkowitej zajmowanej przez układ scalony. Z drugiej strony integracja heterogeniczna stanowi bardzo poważne wyzwanie stawiane układom od strony niezawodności produktu końcowego, gdyż liczba niezbędnych operacji technologicznych warunkujących niezawodność rozwiązania końcowego nieustannie rośnie.

4.2. Prace badawcze składające się na osiągnięcie w rozumieniu Ustawy

Instytut Technologii Elektronowej od lat czynnie włącza się w wybrane inicjatywy projektowe realizowane w ramach kolejnych unijnych programów ramowych aktywnie wspierających budowanie określonych kwalifikacji, potencjału badawczego i projektowego całych konsorcjów, instytucji uczestniczących, grup roboczych jak i zaangażowanych osób. Sprzyja to nawiązywaniu współpracy pomiędzy jednostkami naukowymi i badawczymi a przemysłem, jak również wspiera prowadzenie badań naukowych z realną perspektywą zastosowania wyników prac w przemyśle, prac - których celem z mojej strony było: ***"opracowanie i wprowadzenie do praktyki projektowej w Polsce sprawdzonej metodologii budowania systemów heterogenicznych typu SoC/SiP, połączonego z optymalizacją tego procesu, jak również optymalizacją produktu, traktowanych jako próba odbudowania krajowych specjalizacji w dziedzinie opracowywania układów scalonych i (mikro)-systemów"***.

⁴ Byłem wówczas studentem studiów dziennych na wydziale Elektroniki i Technik Informatycznych Politechniki Warszawskiej

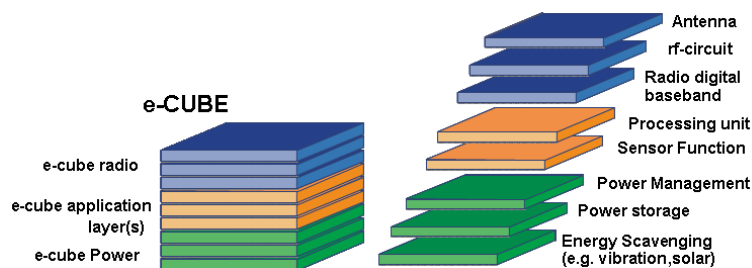
4.2.1. Projekt e-CUBES

Od września 2006 roku, tuż po podjęciu zatrudnienia w Instytucie Technologii Elektronowej, czynnie włączyłem się w prace badawcze prowadzone we współrealizowanym wówczas w ITE projekcie **e-CUBES** (skr. *3D Integrated Micro/Nano Modules for Easily Adapted Applications* do szóstego programu ramowego UE (FP6) [14]. Celem tego projektu było opracowanie technologii wertykalnej integracji modułów zsynchronizowanych ze sobą a poziomie topografii połączeń wertykalnych pomiędzy nimi wykonanymi w krzemie (TSV) oraz zlokalizowanymi pomiędzy warstwami (VIA) realizowanymi metodą mikro-insertów lub mikro-kulek lutowia (ang. *solder-ball*). Taka konstrukcja powinna cechować się zoptymalizowanym na poziomie projektu poziomem mocy wydzielanej w poszczególnych modułach, kontrolowanym rozkładem temperatur i akceptowalnym poziomem naprężeń mechanicznych pojawiających się w strukturze podczas eksploatacji, pozostających na bezpiecznym poziomie [1]. Głównym założeniem projektu było opracowanie standardu integracji fizycznej systemów prowadzącego do zdefiniowania wytycznych projektowania zoptymalizowanych rozwiązań układowych, fizycznie przyjmujących postać prostopadłościennych mikro-modułów (Rys. 1). Brałem czynny udział w opracowaniu zbioru takich reguł roboczo określanymi w projekcie e-CUBES, jako „*design guidelines*”. Firma Thales – partner projektu – wykonała demonstracyjny układ o objętości 1cm³. W ramach projektu przeprowadzono również szczegółową analizę dostępnych wówczas technologii integracji wykorzystywanych w tym projekcie, których opracowane przeze mnie zestawienie zostało przytoczone w tabeli Tab. 1 dostępnej do dziś w Internecie [15]. Prace prowadzone przeze mnie w ramach tego projektu obejmowały między innymi wielodomenowe modelowanie 3D na poziomie Verilog, modelowanie fizyczne związane z integracją trójwymiarową [4]. Brałem również udział w termomechanicznej optymalizacji projektów struktur heterogenicznych wykorzystujących połączenia wertykalne zrealizowane technologią *solder-ball* VIA[2].

Tab. 1 Zestawienie technologii integracji heterogenicznej dostępnych w okresie 2006-2010 [15].

| | | |
|--|----------------------------------|------------|
| Through Si Via | FhG IZM Munich | ICV-SLID |
| Hollow Via & Gold Stud Bump Bonding | SINTEF | HoViGo |
| Thin Chip Integration / Ultra Thin Chip Stacking | IMEC & FhG IZM Berlin and Munich | TCI / UTCS |
| Via Belt Technology | CEA Leti | VBT |
| High Performance Package in Package or Flow 2.5 | 3D PLUS | HiPiP |
| Wireless Die-on-Die or Flow 3 | 3D PLUS | WDoD |
| Submicron Wire Anisotropic Conductive Film | Tyndall | SW-ACF |

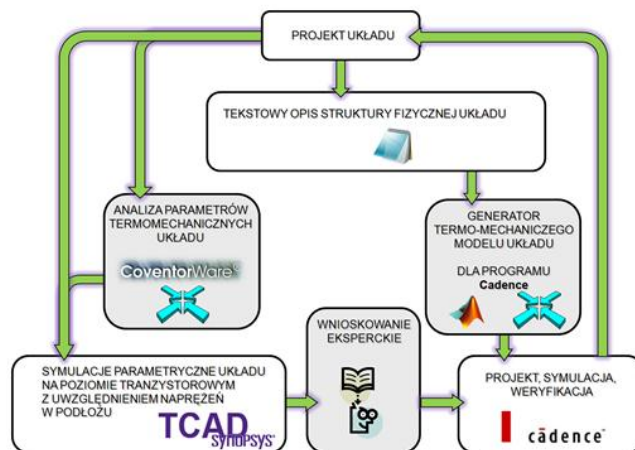
Celem prowadzonych przeze mnie prac było również zbadanie korelacji pomiędzy parametrami tranzystorów MOS, a bliskim sąsiedztwem struktur typu TSV (ang. *Thru-Silicon VIA*). Potwierdziłem istnienie zależności pomiędzy charakterystykami tranzystorów MOS, a napięciem pojawiającym się w obszarze kanału tranzystora [10]. Kwestia wpływu sąsiedztwa struktur typu TSV na parametry toru transmisji sygnałów będzie również przedmiotem naukowych dociekań w ramach prac prowadzonych w projekcie CarrICool (opisany w załączniku nr 5). Było to pierwsze dla mnie praktyczne podejście do zagadnienia modelowania procesów i zjawisk fizycznych towarzyszących integracji heterogenicznej, bazujące jednak na doświadczeniach z okresu doktoratu. Modelowaniu poddane zostały mikro i nano-struktury zarówno całych systemów typu e-CUBE w jak i poszczególnych części systemu. Szczególny nacisk położono na analizy poszczególnych typów połączeń zaproponowanych przez partnerów do wykorzystania podczas procesu fizycznej integracji modułów składowych w system typu e-CUBE.



Rys. 1 Idea systemu e-CUBE realizowana w projekcie e-CUBES

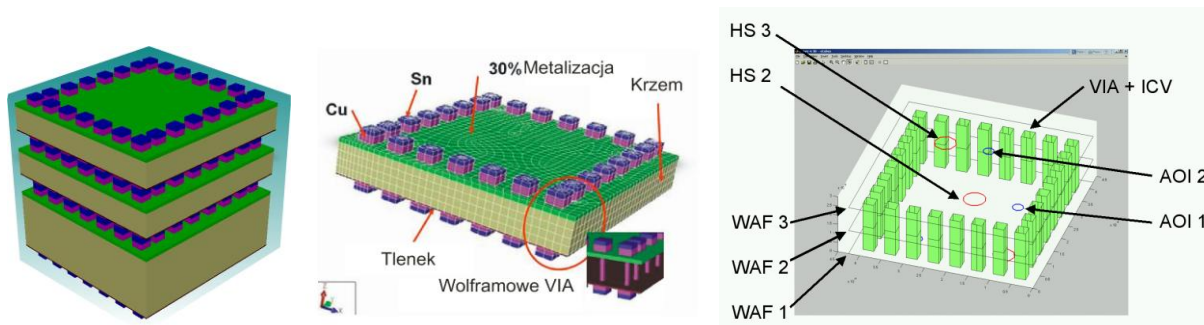
Przeprowadzone symulacje dotyczyły wzajemnie powiązanych zagadnień termicznych, elektrycznych, mechanicznych. Przeprowadzono analizy niezawodności układu i analizy termo-mechaniczne zachowania całych struktur, które umożliwiły zdefiniowanie reguł projektowania systemów typu e-CUBE pod koniec okresu realizacji projektu, przekazanych partnerom projektu zajmującym się fizyczną realizacją poszczególnych podsystemów jak i zajmujących się integracją wszystkich modułów w jeden cały system. Całość zadań związana

z modelowaniem i symulacjami w ramach projektu e-CUBES została wykonana przy użyciu narzędzi pakietu oprogramowania komercyjnego CoventorWare firmy Coventor oraz używany przez partnerów projektu pakiet SAMCEF/CFD-ACE+. Te prace realizował dr inż. Tomasz Bieniek. W ramach tego projektu dodatkowo rozpoczęłam opracowywanie dedykowanego, autorskiego oprogramowania przeznaczonego do modelowania i wielodomenowej symulacji systemów heterogenicznych na przykładzie demonstratora projektu e-CUBES [6]. W tym celu opracowałam prototypowe rozwiązanie programowe o nazwie *Hedoris* (ang. *HEterogeneous Device ORiented simulation System*) łączące ze sobą możliwości narzędzi komercyjnych takich jak Matlab/Simulink, Cadence i Coventor przy pomocy języka Verilog-AMS i specjalizowanych autorskich skryptów napisanych dla środowiska Matlab. Model termiczny systemu heterogenicznego w języku Verilog-A był generowany w środowisku Matlab na podstawie parametrycznego opisu struktury. Symulacje termiczne przeprowadzono w środowisku Cadence z wykorzystaniem symulatora Spectre®. Było to w tym czasie unikatowe rozwiązanie wykorzystane w projekcie e-CUBES.



Rys. 2 Struktura systemu HEDORIS.

W pełni funkcjonalny odpowiednik *Hedoris* pojawił się w ofercie firmy Cadence dopiero 5 lat później. Założeniem rozwiązania programowego *Hedoris* (Rys. 2) była możliwość automatycznego wygenerowania parametrycznego modelu symulacyjnego wielkości nieelektrycznych występujących w układach heterogenicznych typu e-CUBE przy wykorzystaniu standardowego oprogramowania inżynierskiego stosowanego do projektowania i symulacji scalonych układów półprzewodnikowych [3].



Rys. 3 Przykładowa trzymodułowa struktura e-CUBE ze zdefiniowanymi VIA, źródłami energii i punktami o określonej temperaturze (warunek brzegowy symulacji), oraz pojedynczy moduł z VIA. Wizualizacja urządzenia e-CUBE wykonana na podstawie opisu tekstowego dla systemu *Hedoris*

Zasadniczą cechą charakterystyczną systemu *Hedoris*, która odróżniała go od alternatywnych, dostępnych wówczas na rynku rozwiązań było to, że model struktury termicznej modelowanego układu heterogenicznego był generowany w postaci opisu w standardzie Verilog-A, a końcową symulację wielodomenową tak opisanego modelu układu można uruchomić na standardowym symulatorze elektrycznym (np. Spectre należąca do pakietu Cadence). Jedną z zalet przyjętego standardu języka Verilog-A, jest uniwersalność opisu modelu i możliwość prowadzenia bieżącej weryfikacji warunków termicznych pracy projektowanego układu heterogenicznego (Rys. 3) przy wykorzystaniu standardowego środowiska inżynierskiego Cadence. W ramach tego projektu, podjęto również zagadnienia związane z niezawodnością systemu na poziomie poszczególnych, integrowanych modułów. W pracach [3] i [5] poruszono problem

partycjonowania układów heterogenicznych i optymalizacji tego etapu procesu projektowania. Jednym z kryteriów optymalizacji był właśnie wpływ obecności VIA na działanie układu [11].

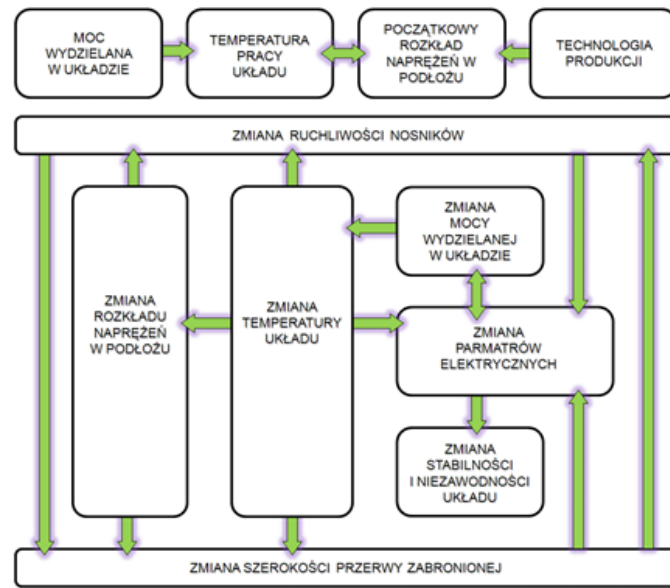
4.2.2. Projekt SE2A

Byłem również czynnie zaangażowany w obszarze heterogenicznego modelowania struktur MEMS na potrzeby wielodomenowych symulacji systemu podczas realizacji projektu **SE2A** (akr. „*Nanoelectronics for Safe, Fuel Efficient and Environment Friendly Automotive*”) [17]. Zadaniem Instytutu Technologii Elektronowej było opracowanie dwuosowego akcelerometru MEMS wyposażonego w moduł zawierający dedykowaną elektronikę odczytową w postaci scalonej. Moduł MEMS został zaprojektowany w zakładzie ITE-Z02, podczas gdy elektronika odczytowa została zaprojektowana w Zakładzie ITE-Z09 [8]. Aktywność całego zespołu ITE doprowadziła do opracowania i praktycznej realizacji pierwszego w Instytucie systemu heterogenicznego, integrującego w całość moduł mikro-elektro-mechaniczny (MEMS) implementujący funkcjonalność pojemnościowego czujnika przyspieszenia z dedykowanym modułem scalonym ASIC zawierającym elektronikę odczytową implementującą analogową część toru odczytowego i cyfrowy moduł komunikacyjny. Bezpośrednio kierowałem pracami zespołu w składzie mgr inż. Jerzy Wąsowski, mgr inż. Adam Jarosz, mgr inż. Dariusz Obrębski i mgr inż. Andrzej Szymański. Na potrzeby tego projektu opracowałem również dedykowany, elektryczny, wielodomenowy, fizyczny model symulacyjny struktury MEMS akcelerometru zaprojektowanego w zakładzie ITE-Z02 zaimplementowany w języku VerilogA. Model ten przeznaczony był do prowadzenia do symulacji współbieżnej struktury MEMS i układu odczytowego ASIC akcelerometru zaprojektowanego w ITE. Fizyczna realizacja systemu przebiegała dla modułu MEMS – w laboratoriach instytutowych ITE, zaś dla modułu ASIC – w laboratoriach firmy AMS. Struktury układów ASIC prototypowano w technologii AMSC35 dostępnej w ramach usługi MPW oferowanej przez serwis Europractice. Wyniki prac opisano w artykułach [5] i [8]. Opracowany system został zintegrowany i poddany wstępnym pomiarom w laboratoriach ITE. System uzyskał sprawność operacyjną i został przebadany w ramach współpracy w laboratoriach na Politechnice Wrocławskiej.

4.2.3. Projekt Corona

Czynnie włączyłem się również w realizację kolejnego, pozyskanego projektu – **CORONA** (akr. *Customer-Oriented Product Engineering of Micro and Nano Devices*) [16]. Prowadzone przeze mnie prace obejmowały modelowanie struktur MEMS 3D na poziomie języka Verilog oraz w ramach współpracy z dr. Tomaszem Bieńkiem praktyczną współpracę z firmami Coventor, X-FAB i ProcessRelations. Zagadnieniem naukowo-badawczym było opracowanie metodologii prowadzenia procesu projektowania i optymalizacji wytwarzania produktu (ang. *Development*) w rozproszonym środowisku projektowym na etapie projektu układu czy systemu z uwzględnieniem klienta, jako interaktywnego źródła informacji włączonego w proces opracowywania zamówionego produktu. Tego typu działania dostępne jeszcze przed wejściem w kosztowny etap prototypowania oznaczają wymierne korzyści czasowe, jak i finansowe. Jednym z rezultatów tego projektu jest monografia [12], w której zgromadzono doświadczenia dotyczące organizacji interaktywnego procesu opracowywania produktu (ang. *Design*), procesu produkcji (ang. *Fabrication*), technologii wirtualnego prototypowania (ang. *Virtual Wafer Run*) zaimplementowanych w oprogramowaniu XperiDesk integrującym zestaw specjalistycznych narzędzi programowych przeznaczonych do symulacji urządzeń, układów, systemów jak również na poziomie procesów produkcyjnych i operacji technologicznych. W powyższej monografii opublikowano również informacje pochodzące z analizy prac obejmujących projekty i optymalizację autorskich rozwiązań modułów MEMS, elektroniki odczytowej, automatyczną generację modeli (narzędzie *Hedoris*) i symulacje heterogeniczne prowadzone w środowiskach komercyjnych (np. *Cadence*). Niewątpliwie doświadczenia z realizacji projektów takich jak e-CUBES czy SE2A przeniesione na grunt projektu CORONA stały się jednym z wielu katalizatorów rozwoju wybranych narzędzi firmy Coventor. Głównym celem CORONA projektu było opracowanie i przetestowanie innowacyjnych technik projektowania w dziedzinie mikro i nanotechnologii oraz narzędzi wspomagających zorientowaną na klienta inżynierię produktu. Celem projektu była także praktyczna weryfikacja i prezentacja najefektywniejszych, opracowanych w ramach projektu rozwiązań (metodologii) prowadzenia procesu budowania produktu (ang. *Product Development*). W przypadku ITE kryterium oceny realizacji zadań projektu Corona i przykładem zastosowania było zaprojektowanie i realizacja demonstratora z dziedziny mikro i nanotechnologii, którym był dwuosowy czujnik przyspieszenia opracowywany również dla projektu SE2A, lecz tym razem - nowatorską metodą projektowania. W procesie projektowania zostały przez ITE opracowane, udoskonalone lub zaadaptowane do specyficznych potrzeb projektu CORONA narzędzia i metody. Moje działania jak również działania zaangażowanych zespołów pracowników zakładów ITE-Z02 i ITE-Z09 merytorycznie i kompetencyjnie lokowały się pomiędzy wyżej wspomnianymi obszarami stosowania narzędzi i technologii. Prowadząc nowatorskie prace badawcze i projektowe, realizując eksperymentalne wersje procesów i wytwarzając testowe struktury odniesienia

przeznaczone do weryfikacji dokładności symulacji narzędzi programistycznych opracowanych w projekcie [6] Instytut Technologii Elektronowej aktywnie współtworzył te rozwiązania razem z pozostałymi partnerami projektu.



Rys. 4 Graf zależności pomiędzy parametrami termicznymi, mechanicznymi i elektrycznymi badanego układu.

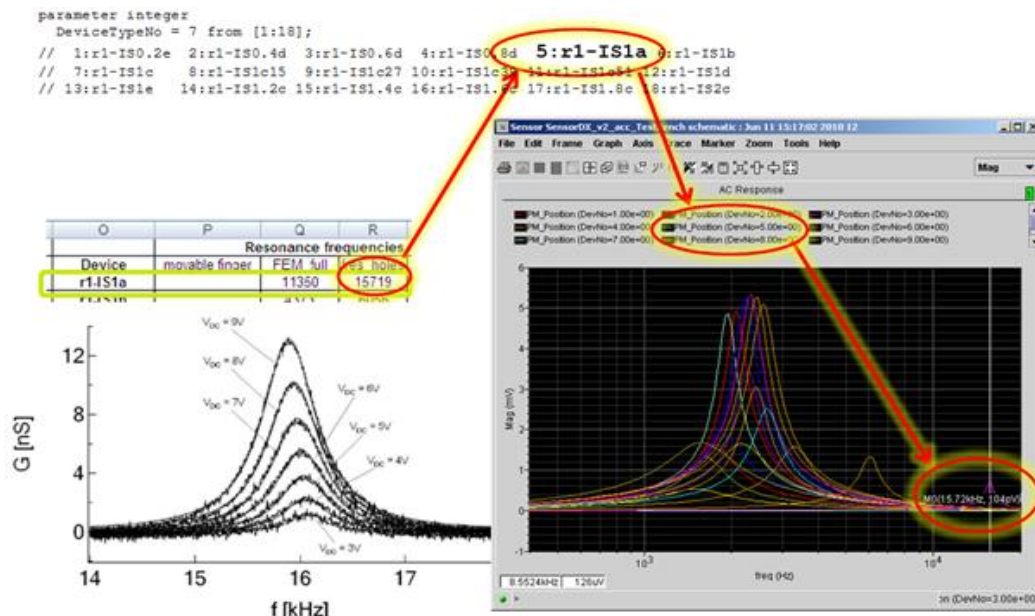
Kontynuowałem również moje prace badawcze nad opracowywanym wówczas narzędziem programowym *Hedoris* przeznaczonym do prowadzenia symulacji systemów heterogenicznych, uwzględniającym wzajemne zależności termo-elektro-mechaniczne (Rys. 4) występujące w układach scalonych i systemach typu SiP, SoC itd. Narzędzie było przez mnie rozwijane w ITE od 2007 roku. W ramach projektu CORONA wprowadzano kolejne niezbędne poprawki do kodów źródłowych opracowanych modułów programowych szczególnie w obszarze struktury opisu modelu jak również kompatybilności formatów danych.

Instytut Technologii Elektronowej jest jednostką, której potencjał wpisywał się w potrzeby projektu CORONA dając możliwość aktywnego wspierania partnerów odpowiedzialnych za tworzenie oprogramowania CAD. Należy jednak podkreślić, że autorskie rozwiązanie programowe *Hedoris* rozwijane przeze mnie w zakładzie ITE-Z09 w ramach projektu CORONA integrowało komercyjne platformy CAD: Matlab, Cadence i TCAD. Na ówczesnym etapie rozwoju, z uwagi na złożony sposób komunikacji z użytkownikiem jak również biorąc pod uwagę liczbę dotychczas modelowanych struktur oprogramowanie *Hedoris* należy traktować, jako rozwiązanie czysto eksperymentalne i akademickie. Z uwagi na ramy czasowe projektu i przeprowadzone analizy rynkowe zrezygnowałem z opracowania dodatkowego modułu narzędzia *Hedoris* implementującego funkcjonalność generatora modeli termo-elektro-mechanicznych, przeznaczonych do symulacji w środowisku TCAD firmy SILVACO. Podobnie, po konsultacjach z pracownikami firmy Coventor, zrezygnowałem z implementowania specjalizowanego, dedykowanego dla programu CoventorWare modułu generatora modeli.

| | pmL | pmX | pmY | spL | Masa | Nzebow | Ks |
|-----------|----------|----------|----------|----------|----------|--------|----------|
| r1-450.2e | 8.90E-05 | 1.99E-04 | 3.80E-04 | 5.04E-04 | 2.02E-05 | 12 | 4.50E-01 |
| r1-450.4d | 1.19E-04 | 2.58E-04 | 4.90E-04 | 4.04E-04 | 3.24E-05 | 14 | 8.60E-01 |
| r1-450.6d | 1.50E-04 | 1.99E-04 | 3.80E-04 | 4.04E-04 | 2.87E-05 | 16 | 8.60E-01 |
| r1-450.8d | 1.80E-04 | 1.40E-04 | 2.58E-04 | 4.04E-04 | 2.41E-05 | 18 | 8.60E-01 |
| r1-451a | 1.94E-04 | 7.90E-05 | 1.39E-04 | 1.04E-04 | 1.83E-05 | 20 | 4.46E+01 |
| r1-451b | 1.94E-04 | 7.90E-05 | 1.39E-04 | 2.04E-04 | 1.83E-05 | 20 | 6.61E+00 |
| r1-451c | 1.94E-04 | 7.90E-05 | 1.39E-04 | 3.04E-04 | 1.83E-05 | 20 | 1.99E+00 |
| r1-451c15 | 1.94E-04 | 2.29E-04 | 2.29E-04 | 3.04E-04 | 3.41E-05 | 20 | 1.99E+00 |
| r1-451c27 | 1.94E-04 | 2.29E-04 | 4.09E-04 | 3.04E-04 | 2.85E-05 | 20 | 1.99E+00 |
| r1-451c39 | 1.94E-04 | 2.29E-04 | 4.09E-04 | 3.04E-04 | 3.87E-05 | 20 | 1.99E+00 |
| r1-451c51 | 1.94E-04 | 2.29E-04 | 7.69E-04 | 3.04E-04 | 5.38E-05 | 20 | 1.99E+00 |
| r1-451d | 1.94E-04 | 7.90E-05 | 1.39E-04 | 4.04E-04 | 1.83E-05 | 20 | 8.60E-01 |
| r1-451e | 1.94E-04 | 7.90E-05 | 1.39E-04 | 5.04E-04 | 1.83E-05 | 20 | 4.50E-01 |
| r1-451.2c | 2.09E-04 | 2.30E-04 | 4.35E-04 | 3.04E-04 | 4.65E-05 | 22 | 1.99E+00 |
| r1-451.4c | 2.40E-04 | 1.70E-04 | 3.10E-04 | 3.04E-04 | 4.03E-05 | 24 | 1.99E+00 |
| r1-451.6c | 2.70E-04 | 1.39E-04 | 2.58E-04 | 3.04E-04 | 3.71E-05 | 24 | 1.99E+00 |
| r1-451.8c | 2.99E-04 | 1.09E-04 | 1.98E-04 | 3.04E-04 | 3.37E-05 | 24 | 1.99E+00 |
| r1-452c | 3.30E-04 | 7.90E-05 | 1.39E-04 | 3.04E-04 | 3.02E-05 | 24 | 1.99E+00 |

Rys. 5 Tabela parametrów poszczególnych wersji czujnika jak i analiza częstotliwości rezonansowych poszczególnych czujników (>1kHz) wykonana przy wykorzystaniu w środowisku Cadence narzędzia *Hedoris*

Opracowanie takiego modułu wiązałoby się z ogromnym nakładem zarówno prac programistycznych jak i badawczych, przy jednoczesnej świadomości istnienia w tym momencie na rynku skutecznych narzędzi komercyjnych takich jak Comsol, MEMS+ czy TCAD. Po konsultacjach z pracownikami firmy Coventor podejmowanie takich działań było pozbawione sensu w obliczu rozpoczętych już w tym czasie w firmie Coventor prac w tym samym obszarze. Współpraca z firmą SILVACO została nawiązana już w ramach kolejnego, wspólnego dla ITE, Coventor i Silvaco projektu badawczego: PARSIMO należącego do wspólnej inicjatywy JU ENIAC należącej do 7 Programu Ramowego UE (FP7).



Rys. 6 Zmierzona oraz obliczona częstotliwość rezonansowa dla czujnika nr 5 (struktura r1-IS1a).

Zagadnienie modelowania zjawisk termomechanicznych stanowi obecnie obowiązkowy element pełnego procesu projektowania układów heterogenicznych, zawierających wytworzone niezależnie moduły elektroniczne i mikro-mechaniczne. Jako przykład wykorzystania narzędzia *Hedoris* dla potrzeb projektu CORONA na Rys. 5 przedstawiłem wyniki i wizualizacje (Rys. 6) cyklu analiz przeprowadzonych dla osiemnastu wariantów czujnika zaprojektowanego i wykonanego w ITE ramach eksperymentalnej serii produkcyjnej projektu CORONA. W ramach tych prac został przeze mnie zbudowany w pełni sparametryzowany model czujnika wibracji opisany w języku Verilog-A. Umożliwiło to przeprowadzenie szeregu różnorodnych symulacji, których celem była weryfikacja parametrów czujnika, jak również sprawdzenie funkcjonalności całego modułu (czujnik wibracji + elektronika odczytowa). Pełne symulacje łączące model pochodzący z narzędzia *Hedoris* z projektem elektroniki odczytowej zaprojektowanej w ITE przez Zespół zakładu ITE Z-09 zostały przeprowadzone w środowisku obliczeniowym Cadence. Na Rys. 5 przedstawiono analizę częstotliwości rezonansowych poszczególnych czujników uzyskanych na drodze pełnych symulacji modułu czujnika podłączonego do układu elektroniki odczytowej. Uzyskane rezultaty posłużyły do wyboru rozwiązania optymalnego dla projektu. Do wytworzenia zestawu masek fotolitograficznych użyto zaimplementowanego w środowisku CoventorWare języka skryptowego TCL (ang. *Tool Command Language*).

Dzięki parametryzacji w skrypcie w łatwy, szybki i automatyczny sposób możliwe było wygenerowanie kompletnych masek dla czujników różniących się parametrami. Jako, że linia technologiczna ITE była wykorzystywana w ramach projektu CORONA do celów diagnostycznych i do weryfikacji algorytmów implementowanych z symulatorach typu CoventorWare możliwe było porównanie parametrów teoretycznych uzyskanych z narzędzia *Hedoris* za pośrednictwem systemu Cadence, programu CoventorWare i parametrów rzeczywistych z pomiarów fizycznej struktury czujnika wibracji. Empirycznie potwierdzono wysoką zgodność uzyskanych rezultatów (Rys. 6).

4.2.4. Projekt Parsimo

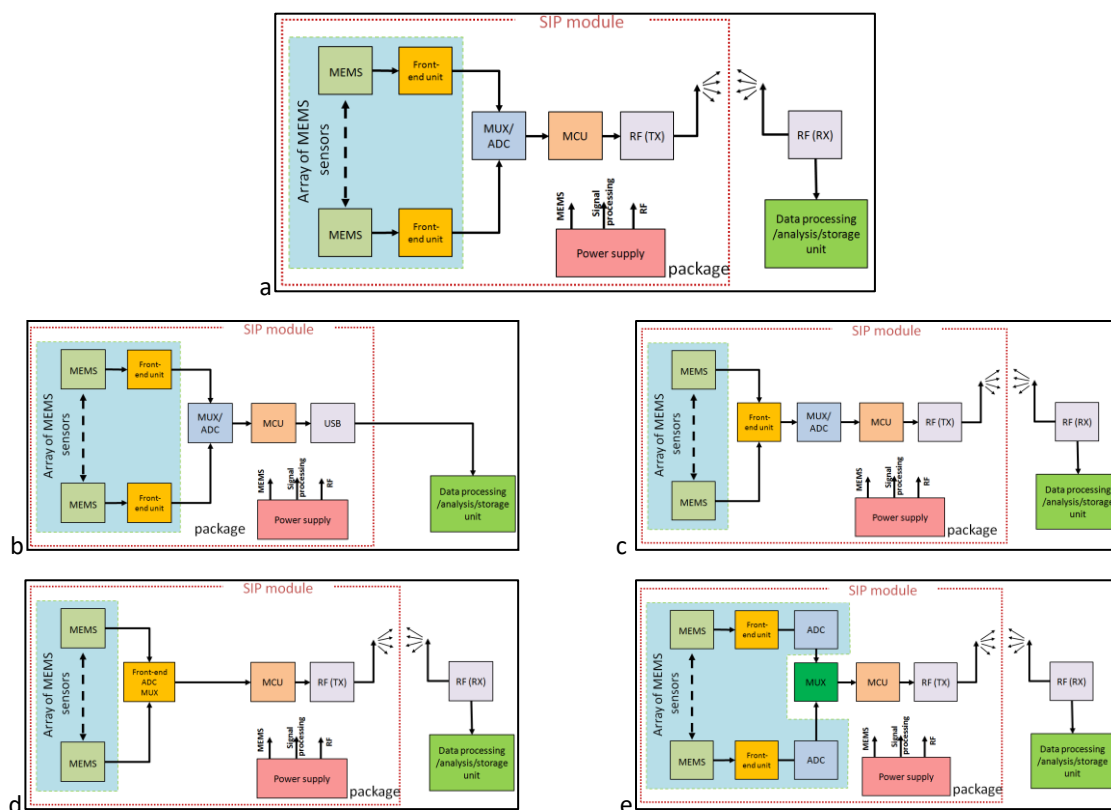
Jeszcze podczas realizacji projektu Corona (2008-2012), pojawiła się możliwość rozszerzenia obszaru zainteresowania z optymalizacji procesu projektowania w postaci kolejnego projektu badawczego. Kolejny złożony wniosek konkursowy tym razem zaowocował przyznaniem funduszy na realizację projektu **PARSIMO** (akr. *Partitioning and Modelling of System in Package*) [19]. Prowadzone bezpośrednio przez Autora prace obejmowały między innymi opracowanie oraz wdrożenie przez polski zespół wykonawców projektu

dedykowanej bazy danych do analizy kryteriów modelowania i partycjonowania struktur typu SiP połączonej z wielokryterialną optymalizacją parametrów układu SiP. Taka baza danych została opracowana i uruchomiona, a algorytmy wyboru zaimplementowane (Rys. 7).



Rys. 7. Strona startowa autorskiej bazy danych i silnika generującego rozwiązanie wg. zadanych kryteriów optymalizacji struktury systemów wg. zadanych kryteriów optymalizacji.

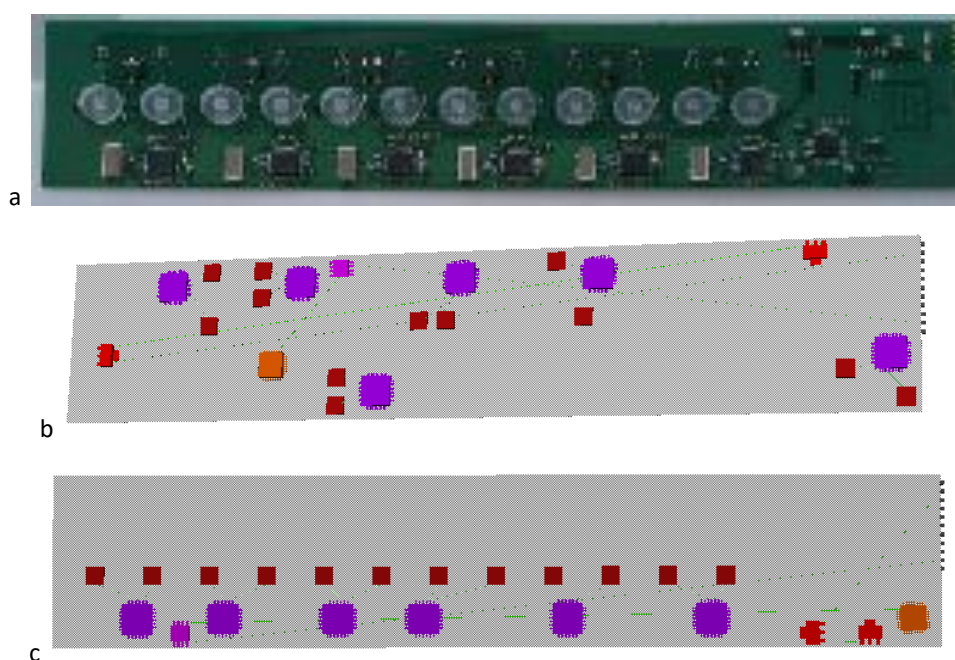
Analizy prowadzone przez koordynowany przez mnie zespół ITE we współpracy z Politechniką Wrocławską (zespół kierowany przez prof. Artura Wymysłowskiego) i firmą SILVACO (zespół kierowany przez dr inż. Ahmeda Nejim'a) obejmowały metody poszukiwania dekompozycji funkcjonalnej i parametrycznej systemu prowadzonej w sposób umożliwiający spełnienie przyjętych kryteriów, którymi mogą być parametry wydajnościowe (szybkość, pobór mocy, parametry termiczne itd.), funkcjonalne (rozmiary urządzenia, odporność na czynniki środowiskowe), czy względy ekonomiczne realizacji urządzenia [5].



Rys. 8 Różne warianty partycjonowania systemu SIESTA realizowanego w ramach projektu PARSIMO. a – wariant zrealizowany fizycznie. Warianty b-e opracowano do celów demonstracyjnych i testowania oprogramowania SPARTITION.

Podczas realizacji projektu Parsimo brałem również czynny udział w opracowaniu koncepcji i realizacji

systemu przeznaczony do badania w czasie rzeczywistym lokalnych warunków aerodynamicznych SIESTA (skr. „*System of Intelligent Sensors for Experimental Avionic Applications*”). System ten służył testowaniu opracowywanych w ramach projektu idei partycjonowania. Nie był to klasyczny układ typu SiP (ang. *System in Package*), był w pełni dwuwymiarowy, lecz testowane algorytmy i metody optymalizacji miały uniwersalny charakter [10]: obejmowały optymalizację zarówno układów 2D i 3D (Rys. 8). Interaktywny system wielokryterialnej analizy i optymalizacji dla potrzeb partycjonowania systemów i układów został opracowany wspólnie przez Instytut Technologii Elektronowej (ITE) i Politechnikę Wrocławską (PWR). System ten został uruchomiony i udostępniony w Internecie dla konsorcjum do celów testowych. W ramach projektu PARSIMO firma SILVACO, we współpracy z PWR oraz ITE zaczęła również budowanie oddzielnego oprogramowania EDA do optymalizacji SiP o nazwie *SPartition* [10]. Prace nad jego rozwojem są w SILVACO prowadzone do dnia dzisiejszego. System SIESTA przeznaczony do eksperymentalnych pomiarów aerodynamicznych na powierzchni modelu skrzydła samolotu. Był to pierwszy, unikatowy system na przykładzie, którego w ramach projektu PARSIMO przeprowadzono proces wirtualnego partycjonowania i optymalizacji. Wersja systemu SIESTA, która została fizycznie wykonana przez ITE w czasie realizacji projektu (Rys. 8a) jest jednak wynikiem ręcznie prowadzonej optymalizacji. Program *SPartition* został uruchomiony dopiero pod sam koniec realizacji projektu PARSIMO i mógł posłużyć wyłącznie, jako punkt odniesienia. Poniżej przedstawiono demonstrator SIESTA w zrealizowanej fizycznie wersji uzyskanej po ręcznej optymalizacji projektu przeprowadzonej przed praktycznym uruchomieniem opracowanego w ramach projektu oprogramowania *SPartition*, oraz automatycznej (Rys. 9).



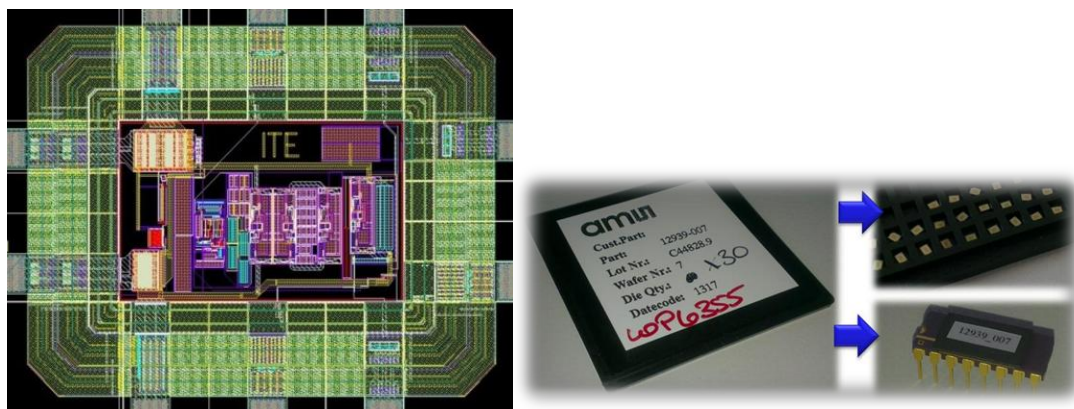
Rys. 9 Demonstrator SIESTA w wersji po optymalizacji ręcznej (a) zrealizowanej przed praktycznym uruchomieniem opracowanego w ramach projektu oprogramowania *SPartition* (realizacja fizyczna w ramach projektu PARSIMO). Dwa warianty optymalizacji uzyskane przez *SPartition* koniec realizacji projektu PARSIMO przy zastosowaniu różnych kryteriów optymalizacji.

Z uwagi na harmonogram realizacji projektu nie było możliwe uwzględnienie w realizacji demonstratora rezultatów pracy oprogramowania *SPartition*. System SIESTA został uruchomiony i poddany pomiarom w warunkach laboratoryjnych w tunelu aerodynamicznym Instytutu Lotnictwa w Warszawie. Rezultaty rzeczywistych pomiarów potwierdziły poprawność wyników pracy programu *SPartition*. Najpoważniejsze różnice w wariantach rozlokowania komponentów systemu (ang. *Placement*) znajdowanych przez oprogramowanie *SPartition* wynikały z ograniczeń narzuconych przez wymagania na minimalizację długości neuralgicznych połączeń, ograniczenie swobody położenia pewnych fragmentów systemu (położenie czujników ciśnienia wynikało z wymagań związanych z aerodynamiką obiektu badanego) jak również ograniczone gradienty rozkładu temperatur w systemie.

4.2.5. Projekt e-Brains

Projekt **e-BRAINS** (skr. *Best-Reliable Ambient Intelligent Nano Sensor Systems*) [18] to przykład kontynuowania prac rozpoczętych w ramach projektu e-CUBES, w ramach którego rozpoczęto opracowywanie europejskiej platformy technologii integracji trójwymiarowej. To również przykład konsekwentnego budowania

kompetencji moich i zespołu moich bezpośrednich współpracowników z zakładu i współpracujących zakładów z Instytutu. Głównym celem projektu była poprawa wydajności i niezawodności dostępnych technologii i metod projektowania. Badania skupione były wokół technologii trójwymiarowej integracji i wytwarzania warstw i systemów zawierających nanoczuJNIki. Brałem czynny udział w pracach prowadzonych przez ITE w obszarze modelowania struktur 3D, heterogenicznego projektowania[6] na styku struktur MEMS i dedykowanej elektroniki odczytowej [12]. Realizację tego projektu należy jednak postrzegać w szerszym kontekście budowania krajowych kompetencji badawczych i inżynierskich dwóch blisko współpracujących ze sobą zespołów: ITE-Z09 i oraz ITE-Z02. Dotyczy to realizacji tego (e-BRAINS) i kolejnego (SMAC) projektu jak i wielu innych projektów finansowanych ramach siódmego programu ramowego FP7 realizowanych w ITE.



Rys. 10 Topografia układu zaprojektowanego w technologii CMOS AMS 0.35µm oraz gotowe chipy w postaci nieobudowanych struktur (ang. „bare die”) oraz w standardowej obudowie.

Prace prowadzone w ITE tym razem obejmowały modelowanie struktur 3D przy pomocy takich pakietów oprogramowania CAD jak CoventorWare, Coventor MEMS+, Comsol. W ramach tego projektu prowadzono również prace projektowe nad heterogenicznymi systemami zawierającymi struktury MEMS i elektronikę odczytową. Prace te były obejmowały badania niezawodnościowe połączeń elektrycznych w strukturach 3D. Jednym z zadań przypisanych ITE, w których realizację bezpośrednio zaangażowany byłem bezpośrednio odpowiedzialny, opracowanie i wdrożenie spójnego procesu projektowania układów heterogenicznych dedykowane dla systemów wykorzystujących elementy nano-czuJNIkowe. We współpracy z partnerami projektu (Infineon, Technical University of Chemitz oraz Fraunhofer IIS/EMFT) opracowano metodologie przyspieszonego badania niezawodności i wytrzymałości warstw metalizacji w heterogenicznych systemach 3D przy wykorzystaniu opracowanej w ramach tego projektu możliwości badania przyspieszonego badania starzeniowego. Badanie degradacji warstw metalizacji, połączeń w układach heterogenicznych może być wykonane różnymi metodami: od optycznych, poprzez spektroskopowe, do elektrycznych. W ramach prac prowadzonych przez ITE opracowano dedykowaną metodę pomiarową, która uzyskała nadane przeze mnie spójne określenie: ATMA (ang. *Advanced Thermo-Mechanical Ageing*) przeznaczoną do badania stopnia degradacji warstw metalizacji.

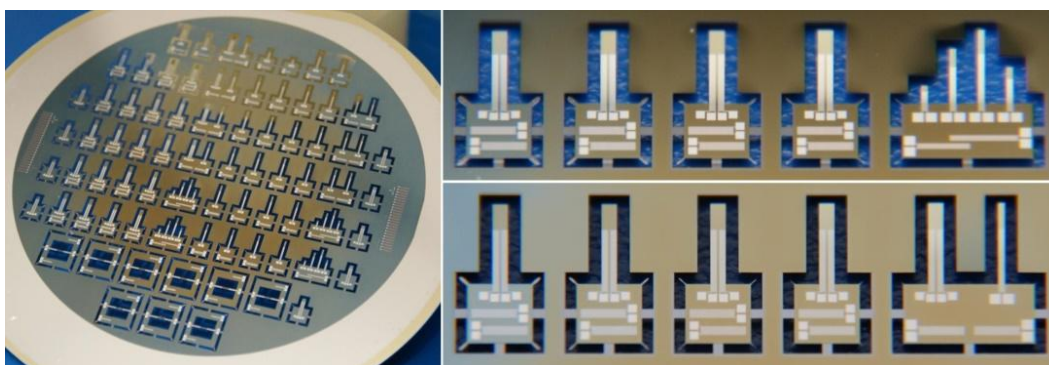
Opracowany i zrealizowany w ITE dedykowany system pomiarowy składał się z zaprojektowanej w ITE specjalnie do tego celu struktury testowej MEMS ze ścieżkami metalizacji służącymi do badania stopnia degradacji warstw metalicznych. W ramach wewnątrzinstytutowej współpracy pomiędzy zakładami ITE-Z02 kierowanym przez prof. Piotra Grabca oraz ITE-Z09 pod moim kierownictwem i kierunkiem zrealizowano prototypowy, dedykowany dla metody ATMA heterogeniczny system przeznaczony do badania wytrzymałości połączeń planarnych w układach scalonych i systemach heterogenicznych ekspozowanych na narażenia mechaniczne (wibracje, zmiany temperatury itd.).

Zrealizowany system pomiarowy zawierał dedykowany układ MEMS opracowany i prototypowany w Zakładzie ITE-Z02 oraz dedykowany układ detekcyjny ASIC (Rys. 10) służący do pomiaru wielkości nieelektrycznej jaką jest starzenie połączeń. Dedykowany układ pomiarowy został zaprojektowany przy użyciu środowiska Cadence w technologii CMOS AMS 0.35µm. Dedykowany układ pomiarowy ASIC zaprojektowano w środowisku Cadence. Symulacje oraz optymalizacja układu zostały wykonane na poszczególnych etapach projektowania od schematu elektrycznego po weryfikację topografii. Szczególnego znaczenia nabiera fakt, że w czasie realizacji projektu. Szczególnego znaczenia nabiera fakt, że w okresie, kiedy był realizowany projekt e-BRAINS nie istniała żadna wdrożona metodologia służąca do kompleksowego modelowania i symulacji struktur/systemów zintegrowanych trójwymiarowo. Symulacje oraz optymalizacja modułów ASIC i MEMS

układu zostały wykonane na różnych etapach projektowania. Podczas realizacji tego projektu wykorzystano narzędzia przeznaczone do:

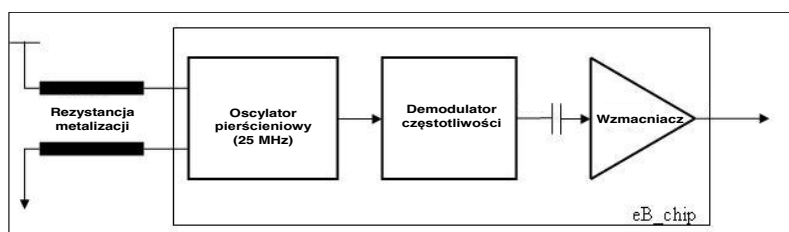
- budowania modeli sparametryzowanych (CoventorWare, Comsol, MEMS+) oraz do prowadzenia symulacji ich parametrów przy pomocy metody elementów skończonych,
- analizy statystycznej, generowania opisów modeli opracowywanych, testowanych, optymalizowanych, wizualizacji i analizy wyników (MATLAB),
- heterogenicznego modelowania układów (SimuLink),
- modelowania lub zjawisk fizycznych (TCAD),
- projektowania układów scalonych wielkiej skali integracji (Cadence).

Przyjętą i zaakceptowaną przez konsorcjum projektu miarą starzenia była zmiana rezystancji połączeń narażonych na niekorzystne warunki. W ramach opracowywania metody pomiarowej zdecydowano, że warstwy metalizacji połączeń będą poddawane przyspieszonemu starzeniu (ang. *Accelerated Ageing*) poprzez ekspozycję na cykliczne odkształcenia wynikające z zamocowania systemu pomiarowego na wytrząsarce, jak również będą poddane działaniu podwyższonej temperatury w związku z wymuszeniem prądu o natężeniu 5mA.



Rys. 11 Wykonane w ITE struktury testowe MEMS – mikrobełki krzemowe, mostki krzemowe. Widoczne są różne realizacje belek (szerokość i długość) – co wpływa na dobroć, częstotliwość rezonansową i amplitudę drgań możliwą do uzyskania

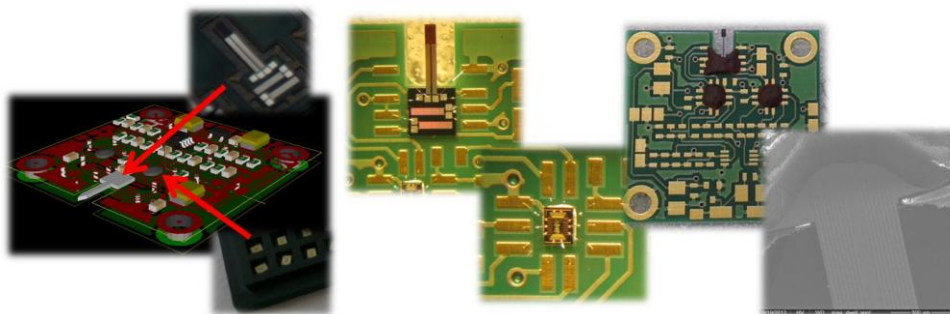
W zakładzie ITE-Z02 zostały wyprototypowane mikrobełki z liniami metalizacji naniesionymi w obszarze największych naprężeń generowanych przez belkę uginającą się podczas wibracji (Rys. 11). Strukturę mikromechaniczną jak również system pomiarowy do odczytu wartości mierzonych parametrów zaprojektowano i zrealizowano w ITE. Pod moim kierunkiem w zespole ITE-Z09 opracowano dedykowany scalony układ odczytowy, który w czasie rzeczywistym wykrywał odchylenia rezystancji ścieżek w metalizacji. Założono wykrywanie odchyżeń na poziomie 5% wartości nominalnej (spoczynkowej). Zaprojektowano wiele wariantów mikrobełek krzemowych różniących się częstotliwością rezonansową a co za tym idzie naprężeniami pojawiającymi się w warstwie metalizacji podczas badania metodą ATMA. Częstotliwości rezonansowe zaprojektowanych i wytworzonych belek zawierały się w przedziale od 890Hz do 10kHz. Przyspieszone testy starzeniowe połączeń metalicznych polegały na wprowadzeniu elementu badawczego MEMS (w tym przypadku mikrobełki krzemowej) w drgania o częstotliwości rezonansowej. Umożliwiało to wywołanie w warstwie metalizacji naprężeń powyżej 200MPa i wprowadzenie metalizacji ścieżek zakres odkształceń plastycznych [7].



Rys. 12 Schemat blokowy dedykowanej struktury testowej.

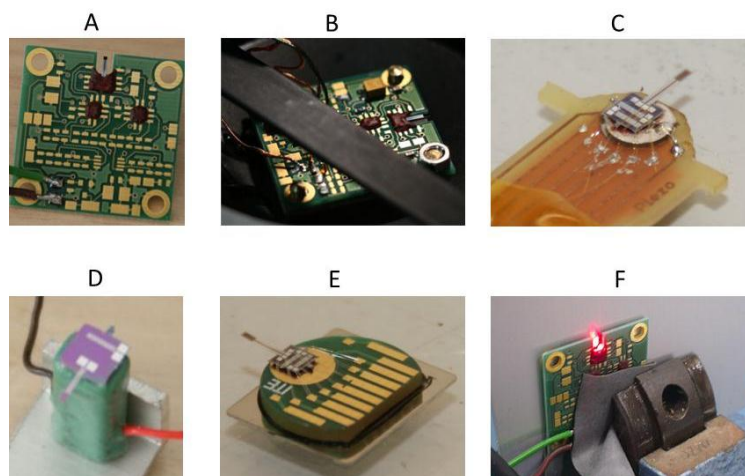
Zaprojektowana według mojego pomysłu struktura testowa umożliwiała prowadzenie w czasie rzeczywistym odczytów wartości rezystancji i jej zmian podczas testów starzeniowych. Działanie układu elektronicznego wykorzystywało do pomiaru sygnał oscylatora pierścieniowego o częstotliwości zależnej od wartości rezystorów zewnętrznych, którymi w przypadku testów starzeniowych były wspomniane rezystywne ścieżki wykonane w warstwie metalizacji na powierzchni belek. Zmiany częstotliwości oscylatora

pierścieniowego były wykrywane poprzez demodulator częstotliwości, którego stałoprądowy sygnał wyjściowy był podawany na wejście wzmacniacza końcowego (Rys. 12).



Rys. 13 Przygotowanie próbek do testów starzeniowych (ATMA) – montaż mikroelektroniki (ASIC) na specjalnie zaprojektowanych i wykonanych płytach PCB oraz zdjęcie z SEM ścieżek metalizacji po montażu, przed testami.

Metoda przyspieszonego starzenia została wykorzystana w projekcie. Przy jej pomocy szczegółowo przebadano w rozmaitych warunkach (różne amplitudy wibracji, częstotliwości, temperatury) wiele modułów MEMS z dedykowanymi mikrobelkami (Rys. 13).



Rys. 14 Próbkę do testów starzeniowych ATMA: (a) montaż mikroelektroniki (ASIC) na specjalnie zaprojektowanych i wykonanych płytach PCB; (b) stanowisko pomiarowe z wyrzysarką; (c, d) mikrobelka zmontowana na piezoaktuatorze; (e) mikrobelka na PCB przeznaczona do montażu na wyrzysarce (bez piezoaktuatora pod belką); (f) testy termiczne.

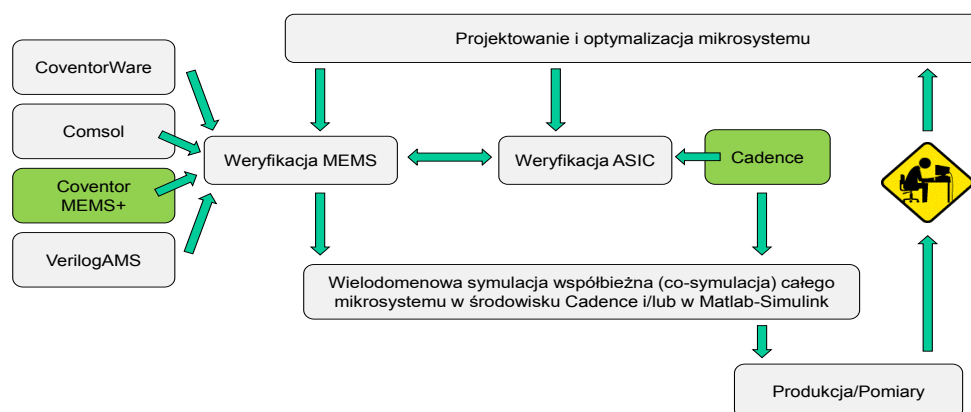
Układ pomiarowy uruchomiono w dedykowanym systemie pomiarowym (Rys. 14). Wyniki pomiarów są pomyślne dla producentów układów heterogenicznych gdyż same metalizacje i połączenia planarne nie podlegają żadnemu zauważalnemu procesowi starzenia. Pomimo długotrwałych badań nie udało się zaobserwować przewidywanych efektów postępującej degradacji materiału i samych połączeń.



W ramach projektu e-BRAINS prowadziłem również prace w zakresie opracowania modeli i prowadzenia symulacji wielodomenowych. Prowadzone prace obejmowały różne poziomy złożoności i abstrakcji opisu modeli, poczynając od modelowania poszczególnych struktur służących do trójwymiarowej integracji np.: TSV (ang. *Trough Silicon VIA*) czy nanodrutów (ang. *Nano Wires*) poprzez modelowanie i symulacje elementów składowych systemu nano-czujników tj.: konkretnych nano-czujników wykorzystujących struktury nanodrutów oraz innych komponentów systemów nano-czujnikowych (antena) kończąc na modelach całych zintegrowanych systemów włączając w to aspekty montażu struktur układów scalonych w obudowach (ang. *Packaging*). Projekt e-BRAINS uzyskał wyróżnienie podczas krajowej konferencji ITMED w 2015 roku.

4.2.6. Projekt SMAC

Projekt **SMAC** (akr. *Smart Systems Co-Design*) [20] to kolejny projekt badawczy należący do grupy projektów zintegrowanych typu IP (ang. *Integrated Project*), zorientowany na rozwój metodologii projektowania i narzędzi wspomagających proces projektowania. Byłem bezpośrednio zaangażowany w realizację merytorycznych zadań badawczych obejmujących syntezę systemu heterogenicznego, modelowanie struktury MEMS i współpracę ITE w rozwoju innowacyjnych narzędzi projektowych typu Coventor MEMS+. Oprócz prowadzenia własnych prac badawczych koordynowałem realizację tego projektu w zakresie merytorycznego udziału Instytutu Technologii Elektronowej i współpracy z partnerami konsorcjum jego wykonawców. Celem projektu było dostarczenie projektantom narzędzia do przeprowadzania heterogenicznych symulacji współbieżnych, określanych również mianem co-symulacji. Oprogramowanie MEMS+ firmy Coventor umożliwiało wielodomenowe modelowanie mikro- i nano-struktur typu MEMS. Oprogramowanie to oprócz symulacji wewnętrznych umożliwiało eksport modelu struktury MEMS w postaci „czarnej skrzynki” w formacie kompatybilnym ze środowiskiem Cadence do tego środowiska gdzie następuje właściwa symulacja współbieżna całego systemu MEMS wraz z dedykowaną elektroniką (np. układem typu ASIC).

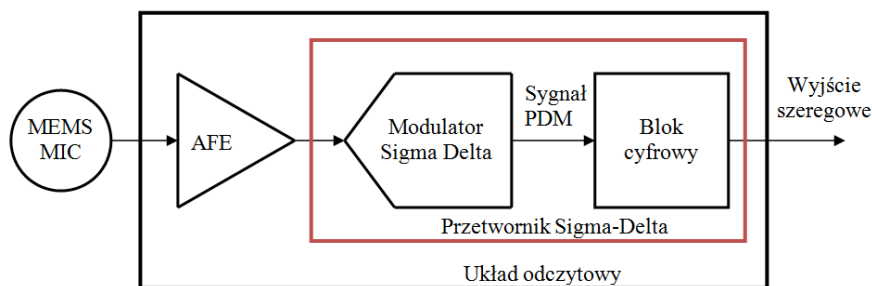


Rys. 16 Opracowana metodologia hierarchicznego modelowania podczas projektowania nowoczesnych systemów mikro- i nanoczuJNIKOWYCH.

Metodologia hierarchicznego modelowania została w ramach projektu opracowana i sformalizowana. Cały proces badawczy, sposób pomiaru, projekt struktur testowych zarówno MEMS jak i ASIC od pomysłu, poprzez projektowanie, symulacje (w tym symulacje współbieżne) został wdrożony w ITE zgodnie z opracowaną metodologią przedstawioną poniżej (Rys. 16) i w podsumowaniu autoreferatu (Rys. 21). ITE było odpowiedzialne za wsparcie projektowe podczas realizacji przez Philips czujnika aktywności oddechowej (ang. *Respiratory Sensor*), jako demonstratora projektu SMAC z obszaru telemedycyny. Z różnych powodów partner ten wycofał się jednak z projektu, a ITE – wobec silnego zapotrzebowania projektu na demonstrator – zgłosiło swoją propozycję zbudowania mikrofonu pojemnościowego MEMS. Zespół pod moim kierunkiem opracował koncepcję realizacji systemu mikrofonu pojemnościowego z modułem MEMS, projekt modułu mikro-elektromechanicznego MEMS, projekt układu ASIC – układu odczytowego dla modułu MEMS, zainicjował współpracę z politechniką w Bratysławie w obszarze idei rozproszonego projektowania na przykładzie części analogowego modułu AFE, opracował projekt integracji systemu, projekt stanowiska pomiarowego jak również zrealizował cały przyrząd i przeprowadził jego pomiary. Moduł MEMS wykonano w laboratoriach ITE-Z02 na podstawie własnego projektu. Moduł ASIC układu odczytowego wyprototypowano za pośrednictwem serwisu Europractice na podstawie projektu ITE. Całość uruchomionego w ramach projektu. Urządzenie było przeznaczone do pracy. Moja działalność w ramach projektu SMAC koncentrowała się w dwóch obszarach:

merytorycznie dotyczyła szczególności opracowania dedykowanego układu odczytowego mikrofonu MEMS zaprojektowanego i fizycznie wykonanego w ITE. Pełniłem również rolę kierownika i koordynatora tego projektu po stronie polskiej.

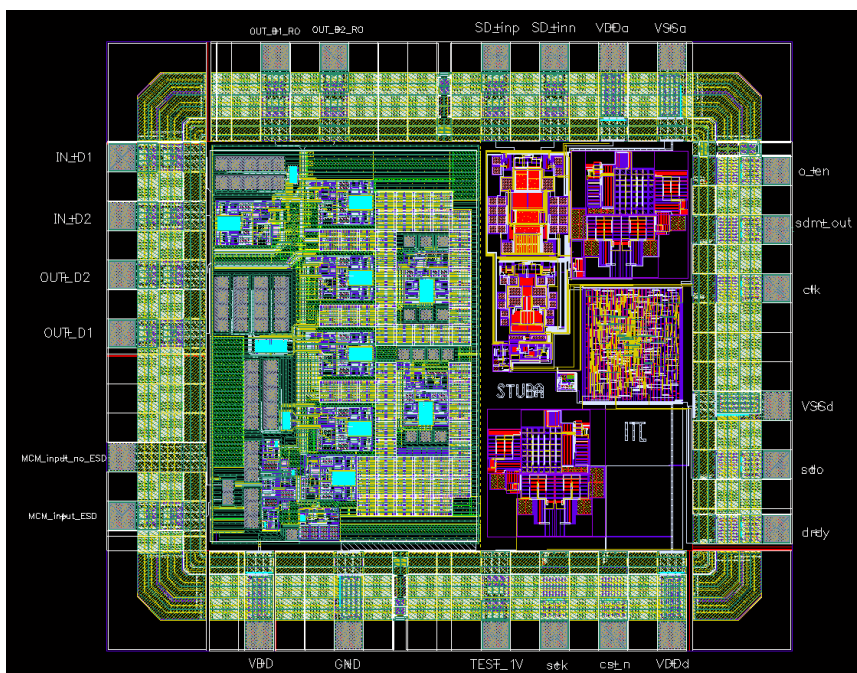
Do opracowania projektu wykorzystane zostały narzędzia opracowane lub udoskonalone w ramach prac prowadzonych w ramach projektu SMAC w ścisłej współpracy pomiędzy partnerami takimi jak: ITE, firmą programistyczną Coventor SaRL i Wydziałem Elektroniki na Politechnice w Bratysławie (STUBA). Współpraca z firmą Coventor polegała na czynnej, bieżącej weryfikacji poprawności oprogramowania EDA na przykładzie opracowywanego i wyprodukowanego w ITE w ramach projektu SMAC specjalistycznego mikrofonu (Rys. 17) składającego się z modułu MEMS [9] przewidzianego do integracji ze specjalizowanym modułem dedykowanej elektroniki odczytowej ASIC zaprojektowanej w ITE w zakładzie ITE-Z09.



Rys. 17 Schemat blokowy systemu cyfrowego mikrofonu MEMS

Oprogramowanie firmy Coventor dla ITE w ramach projektu wykorzystywane do zaprojektowania i weryfikacji systemu obejmowało takie moduły jak CoventorWare, Simulator i najnowsze narzędzie – program MEMS+. Na czas projektu grupy zadaniowe kierowane w ramach projektu przez mnie (ITE-Z09) i przez dr. inż. Tomasza Bieńka (ITE-Z02) uzyskały do użytkowania wersje deweloperskie wykorzystywanego oprogramowania EDA.

Poprawki przekazywane przez Zespół ITE do firmy Coventor dotyczyły poprawności implementacji wewnętrznych specjalizowanych algorytmów pracujących na poziomie fizycznego modelowania struktury jak i modułów programowych służących symulacji parametrów mechanicznych i elektrycznych tej struktury. Szczegóły poprawek dotyczyły modelowania specyficznego kształtu membrany MEMS oraz struktur zapewniających wertykalną ruchomość tego elementu jak również zawartości modelu wykorzystywanego do heterogenicznych symulacji współbieżnych w środowisku Cadence.



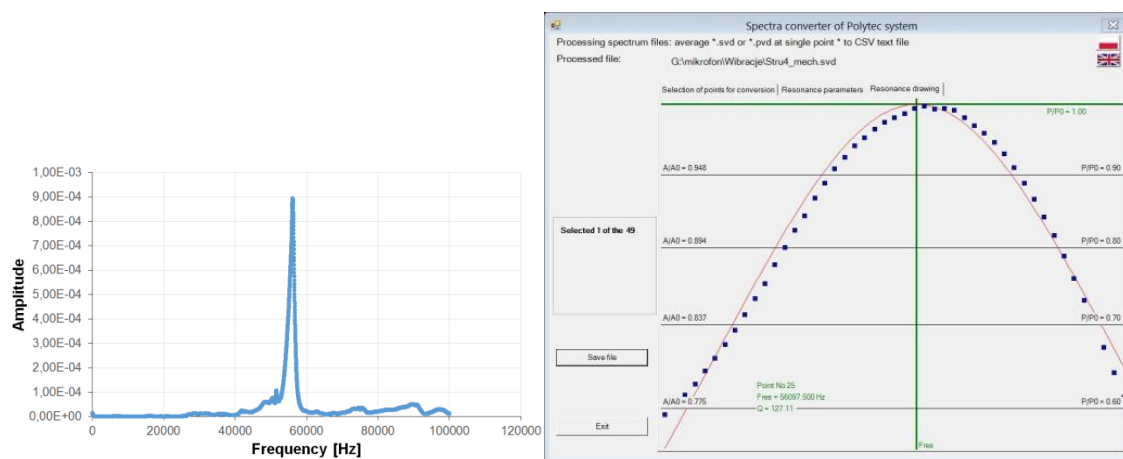
Rys. 18 Topografia układu odczytowego mikrofonu MEMS opracowanego w ramach projektu SMAC.

Było to zagadnienie o szczególnym znaczeniu gdyż, od jakości używanych modeli elementów mikro-elektro-mechanicznych zależy dokładność, a co za tym idzie również wiarygodność wyników symulacji współbieżnych prowadzonych wewnątrz oprogramowania MEMS+ z wykorzystaniem uproszczonych modeli układów elektronicznych wykorzystanych do zaprojektowania modułu odczytowego, lub w zintegrowanym środowisku projektowym Cadence, powszechnie wykorzystywanym do projektowania układów scalonych i systemów heterogenicznych.

W przypadku środowiska Cadence występują dwie, wykorzystane przez firmę Coventor możliwości prowadzenia heterogenicznych symulacji współbieżnych:

- na poziomie pełnego lub uproszczonego modelu modułu MEMS oraz
- dowolnego modelu zaprojektowanego modułu elektronicznego. W jednym przypadku konsultacje firmy Coventor z dotyczyły detali sposobu implementacji jednego z algorytmów symulatora MEMS+ oraz ciągłości generowanego modelu struktury MEMS

Instytut Technologii Elektronowej przeprowadził prototypowanie układu ASIC (Rys. 18) i modułu MEMS, a następnie zintegrowano ze sobą obydwie moduły MEMS i ASIC, przeprowadzono pomiary a ich wyniki przedstawiono firmie Coventor - autorom oprogramowania MEMS+. Były to unikatowe informacje praktyczne pozyskane z eksperymentalnej realizacji struktury MEMS, które to dane zostały skutecznie wykorzystane przez firmę Coventor do dalszego doskonalenia swojego oprogramowania. Opisana wyżej moja działalność wpisywała się główny obszar zainteresowania i prac w projekcie SMAC [9].



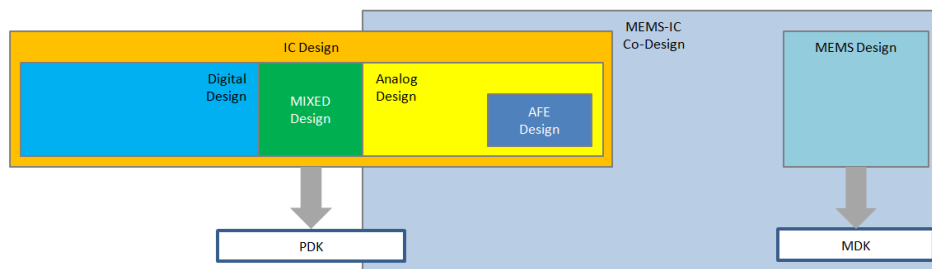
Rys. 19 Widmo drgań oraz dobroć dla 1-szej częstotliwości rezonansowej mikrofonu MEMS

Prototyp układu odczytowego fizycznie wyprodukowany został przy wykorzystaniu serwisu MPW oferowanego przez Europractice. Uzyskano w ten sposób 40 nieobudowanych struktur układu. Cztery struktury układu odczytowego przesłano na Politechnikę w Bratysławie w celu wykonania wstępnych pomiarów ostrzowych bloku AFE. Badania struktury MEMS wykonywano w zakładzie ITE-Z02. Dla wybranej grupy struktur MEMS wyznaczono charakterystyki pracy (Rys. 19). Przeprowadzono również pomiary pojemności mikrofonu w funkcji ciśnienia. Układ odczytowy składa się z bloku wstępnego przetwarzania analogowego AFE (Analog Front End) oraz z opracowanego wcześniej przetwornika analogowo-cyfrowego typu *Sigma-Delta* z wyjściowym interfejsem szeregowym SPI. Blok AFE opracowany został na Politechnice w Bratysławie (STUBA) i dostarczony do ITE w postaci topografii w formacie GDS. W ITE wykonano ostateczną integrację układu odczytowego w docelowej technologii AMS 0.35um. Opracowano również 13-bitowy analogowo-cyfrowy przetwornik wysokiej rozdzielczości typu *Sigma-Delta* drugiego rzędu pracujący z paśmie 8kHz, z interfejsem komunikacyjnym SPI. Był to kluczowy blok układu odczytowego mikrofonu MEMS, umożliwiający przetwarzanie analogowego sygnału mikrofonu do postaci cyfrowej.

5. Synteza i wnioski

Działania badawcze i rozwojowe obecnie prowadzone przeze mnie nie ograniczają się do wątków skrótowo przedstawionych powyżej w kontekście 6 kolejno realizowanych projektów badawczych i 13 publikacji. Zadanie badawcze podjęte przed dekadą stanowiło krok w kierunku zapewnienia lub poprawy konkurencyjności krajowych kompetencji obejmujących dominujące w rozwoju cywilizacyjnym gałęzie wiedzy. Zadanie, którego celem było opracowanie i wprowadzenie do praktyki projektowej w Polsce metodologii

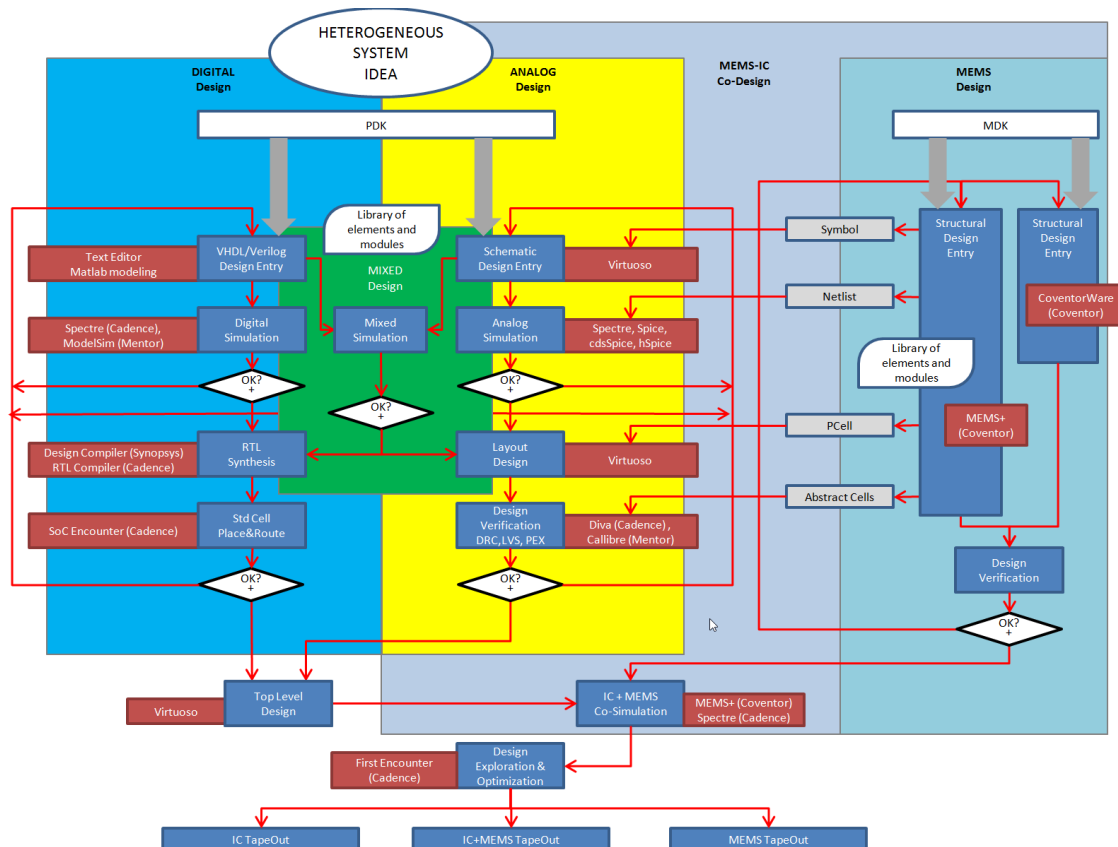
opracowywania złożonych systemów heterogenicznych typu SoC/SiP, połączone z optymalizacją tego procesu jak również optymalizacją produktu zostało zrealizowane. Metodologia została opracowana i przetestowana w różnych konfiguracjach, dla różnych produktów i przykładów zastosowań. W najogólniejszej postaci metodologię tą przedstawiono na Rys. 20.



Rys. 20 Metodologia projektowania mikrosystemów heterogenicznych.

Była to próba stanowiąca krok w kierunku odbudowania krajowych specjalizacji w tak specyficznym i dynamicznie rozwijającym się obszarze wiedzy i kompetencji, jakim jest projektowanie układów scalonych i mikrosystemów. Zagadnienie nieco przypomina fraktal z uwagi na praktycznie nieograniczone możliwości precyzowania i poszerzania liczby stopni swobody (Rys. 21). W miarę rozwoju technologii wykorzystywane narzędzia i procesy projektowania zarówno modułów elektronicznych jak i modułów MEMS mogą być bez końca ulepszone i modyfikowane.

Bliska współpraca z wiodącymi europejskimi ośrodkami badawczymi i światowymi producentami elementów i układów półprzewodnikowych w świadomy i nieprzypadkowy, dla mnie sposób, otwierała i wciąż otwiera nowe perspektywy współpracy w obszarach nowych technologii związanych z rozwojem Internetu przedmiotów (IoT), odnawialnych źródeł energii, magazynowania energii i elektrycznego napędu ujętych dziś zarówno w ramy aktualnej europejskiej perspektywy finansowania badań H2020, w ramy projektów krajowych jak również na drodze bezpośredniej współpracy z przemysłem na zasadach komercyjnych w obecnie formułowanej koncepcji strategii odpowiedzialnego rozwoju w obszarach reindustrializacji i rozwoju innowacyjnych firm.



W chwili obecnej uczestniczę w projektach związanych bezpośrednio z zagadnieniami wysokowydajnego odprowadzania ciepła z układów scalonych i systemów komputerowych o gęstościach mocy przekraczających 300W/cm². Jednocześnie podejmuję próby pozyskania i uruchamiania kolejnych prac badawczych i rozwojowych w obszarze pomiarów rozproszonych, projektowania układów mocy z możliwością sterowania poprzez sieć komputerową (wspomniany w załączniku 5 projekt SESBE). Kolejnym obszarem badawczym są nowe technologie związane ze sterowaniem sygnałami o wysokich energiach charakterystycznym dla technologii transportu elektrycznego (obecnie złożony wspólnie z ST i 35 innymi partnerami europejskimi projekt R3PowerUp należący do programu ECSEL).

Obszar telemedycyny również znajduje się dziś w stanie szczególnie dynamicznego rozwoju wspomagającego i stymulowanego rozwojem Internetu przedmiotów (IoT). Coraz bardziej palącym problemem staje się kwestia starzejącego się społeczeństwa i potrzeby zapewnienia już w nieodległej przyszłości technologicznego zaplecza przyczyniającego się do poprawy jakości życia osób w podeszłym wieku.

Zasadniczy cel, którym było "opracowanie i wprowadzenie do praktyki projektowej w Polsce sprawdzonej metodologii budowania systemów heterogenicznych typu SoC/SiP, połączonego z optymalizacją tego procesu, jak również optymalizacją produktu, traktowanych jako próba odbudowania krajowych specjalizacji w dziedzinie opracowywania układów scalonych i (mikro)-systemów" został zrealizowany. W ramach struktur ITE zostały poszerzone kompetencje projektowe i praktyczne związane z realizacją kolejnych modułów, układów i systemów. Prowadzone badania i uzyskane rezultaty stanowią obecnie doskonały punkt wyjścia do dalszych prac i zbudowania realnej oferty merytorycznej, do uruchomienia kolejnych badań i prac w najbliższej przyszłości ukierunkowanych na konkretną współpracę z partnerami przemysłowymi z perspektywą opracowania realnych produktów czy technologii.

W tym miejscu muszę jednak wspomnieć o drażliwym problemie podziału kompetencji pomiędzy uczelnie, instytuty badawcze i firmy komercyjne (tzw. przemysł). Jest to drażliwy obszar, w którym niejednoznaczne lokowanie aktywności zespołów czy finansowanie generuje zbędne emocje, które nie służą dobremu, wspólnemu rozwojowi. Zrozumiałym jest dążenie do poszerzania kompetencji, lecz należy pamiętać, że misje instytutów badawczych, uczelni i firm z przemysłu są różne. Nie koniecznie rozłączne we wszystkich obszarach lecz różne.

Na chwilę obecną dynamiczny rozwój technik projektowania i technologii produkcji jak również niezwykle szerokie możliwości dostępu do technologii otwierają kolejne kierunki rozwoju i obszary badań. W tym kontekście najbardziej obiecujące kierunki to rynek IoT i samochodów elektrycznych, które zgodnie z najnowszymi szacunkami będą należały do nielicznych gałęzi wymagających gromadzenia kapitału eksperckiego w multidyscyplinarnych zespołach, co będzie stanowiło klucz do rozwoju przemysłu w skali świata.

6. Zgłoszona literatura wchodząca w skład osiągnięcia naukowego

- [1] Tomasz Bieniek; Paweł Janus; Andrzej Kociubiński; Piotr Grabiec; **Grzegorz Janczyk**; Jerzy Szyńska: *Coupled Thermo-electro-mechanical Modelling and Simulation of 3D Micro- and Nanostructures*; Book of Abstracts IX Electron Technology Conference, ELTE 2007, str. 137-140, Elektronika, nr. 1, 2008, str. 99-101; Kraków, Polska, 4-7.09.2007, ISBN: 83-88309-46-3, ISSN 0033-2089, e-ISSN 2449-9528
- [2] **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Szyńska; Piotr Grabiec: *Heterogeneous System for Thermal Modelling and Simulations of Heterogeneous e-Cubes Devices*; Conference Proceedings of the 15'th International Conference Mixed Design of Integrated Circuits and Systems 2008, MIXDES 2008, str. 327-330; Poznań, Polska, 19-21.06.2008
- [3] **Grzegorz Janczyk**; Tomasz Bieniek; Piotr Grabiec; Jerzy Szyńska: *Thermo-Mechanical Aspects of Reliability for Vertically Integrated Heterogeneous Systems*; Proceedings of 16'th International Conference of Integrated Circuits and Systems, p. 536-540, Elektronika, vol. 1, nr. 12, 2009, str. 83-87; Łódź, 25-27.06.2009, ISSN 0033-2089, e-ISSN 2449-9528
- [4] Tomasz Bieniek; **Grzegorz Janczyk**; Piotr Grabiec; Jerzy Szyńska: *Fizyczne aspekty niezawodności w modelowaniu zintegrowanych mikrosystemów*; Przegląd Elektrotechniczny, vol. 86, nr. 10, 2010, str. 9-12; ISSN 0033-2097, e-ISSN 2449-9544
- [5] **Grzegorz Janczyk**; Tomasz Bieniek; Piotr Grabiec; Artur Wymysłowski; Ryszard Świerczyński: *Optimization on MEMS-IC SiP Development Reliable Design Methods*; Proceedings of the Int. Workshop

- on Testing Three-Dimensional Stacked Integrated Circuits 3D-TEST in Conjunction with ITC, str. 1-6; Anaheim, USA, 4-11.11.2012
- [6] **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Wąsowski; Piotr Grabiec: *Investigation on Reliability of Interconnects in 3D Heterogeneous System by Ageing Beam Resonance Method*; TechConnect World 2013 Proceedings: Nanotech, Microtech, Biotech, Cleantech, MilCROTECH 2013, str. 216-217. Vol. 1, Microelectronics Journal 45 (2014) s. 981-987.; Waszyngton, USA, 12-16.06.2013, ISSN: 0026-2692
- [7] Tomasz Bieniek; **Grzegorz Janczyk**; Michał Marchewka; Magdalena Ekwińska; Jerzy Wąsowski; Piotr Grabiec: *Novel Methodology of MEMS-IC Co-simulation in Smart Systems Development Process*; Proceedings of of Smart Systems Integration 2014, SSI 201, str. 447-450; Wiedeń, Austria, 26-27.03.2014
- [8] Magdalena Ekwińska; **Grzegorz Janczyk**; Tomasz Bieniek; Piotr Grabiec: *Methodology of MEMS-based Smart Systems Design, Modeling and Simulation – Development Practice*; Proceedings of of Smart Systems Integration 2014, SSI 201, str. 463-466; Wiedeń, Austria, 26-27.03.2014
- [9] **Grzegorz Janczyk**; Tomasz Bieniek: *Smart System Design in Context of Multicriteria Optimization based on Accelerated Ageing Techniques for IC Interconnect Structures*; Proceedings of TechConnect World 2014: Nanotech, Microtech, Biotech, Cleantech, NANOTECH 2014, str. 257-260, Vol.3; Waszyngton, USA, 15-18.06.2014
- [10] **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Szyńska; Piotr Grabiec: *Reliability Issues of e-Cubes Heterogeneous System Integration*; Microelectronics Reliability, 2008, vol. 48, Issue 8-9, str. 1133-1138; ISSN 0026-2714
- [11] **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Wąsowski; Piotr Grabiec: *Investigation on Reliability of Interconnects in 3D Heterogeneous System by Ageing Beam Resonance Method*; Microelectronics Journal, Volume 45, Issue 7, July 2014, str. 981–987; ISSN: 0026-2692
- [12] Dirk Ortlof; Thilo Schmidt; Kai Hahn; Tomasz Bieniek; **Grzegorz Janczyk**; Rainer Bruck: *MEMS Product Engineering. Handling the diversity of an Emmerging Technology. Best Practices for Cooperative Development*; Springer Publication Date: October 24, 2013; ISBN-10: 3709107059, ISBN-13:978-3709107058, edition 2014
- [13] **Grzegorz Janczyk**: *Moore, More than Moore, Systemy heterogeniczne, IoT, Industry 4.0: Metodologia, Narzędzia projektowania, Integracja 3D – Ograniczenia, wyzwania i droga rozwoju Technologii Elektronicznych*; Elektronika 8/2016, p. 69-74; ISSN 0033-2089

7. Zasoby internetowe powiązane z osiągnięciem naukowym

- [14] eCUBES projekt FP6 - Integracja 3D - optymalizacja konstrukcji heterogenicznych, budowanie narzędzi, weryfikacja: <http://ecubes.epfl.ch/public/>
- [15] eCUBES Zestawienie technologii integracji heterogenicznej – pochodna realizacji projektu <http://www.wesola.net.pl/equo/ecubes/>
- [16] CORONA projekt FP7 - optymalizacja procesu projektowania i weryfikacji scalonych systemów heterogenicznych z aktywnym udziałem klienta: <http://www.corona-mnt.eu/>
- [17] SE2A projekt FP7 - ENIAC - praktyczne opracowywanie systemów heterogenicznych dla motoryzacji: <http://www.eniac-se2a.com/>
- [18] eBRAINS projekt FP7 - Budowa narzędzi do projektowania trójwymiarowych i planarnych struktur heterogenicznych. Przewidywanie i kontrola niezawodności systemów: <http://www.e-brains.org/>
- [19] PARSIMO projekt FP7 - ENIAC - partycjonowanie struktur typu SiP i optymalizacja tego procesu - cost modeling: <http://eeepro.shef.ac.uk/parsimo/>
- [20] SMAC projekt FP7 - partycjonowaniem struktur typu SiP i optymalizacją tego procesu. Budowa i weryfikacja narzędzi EDA-CAD do projektowania: <http://www.fp7-smac.org/>
- [21] CarrICool projekt FP7 - odprowadzanie ciepła i transmisja sygnałów w systemach HPC: <http://www.carricool.eu/>

- [22] SESBE projekt FP7 - budowanie zaawansowanych aplikacji i rozproszonych systemów pomiarowych systemowych: <http://sesbe.eu/en/Sidor/default.aspx>

8. Pełny wykaz publikacji.

- {1} **Grzegorz Janczyk**; Tomasz Bieniek; Paweł Janus; Andrzej Kociubiński; Piotr Grabiec; Jerzy Szyńska; Sven Reitz; Peter Schneider; Eberhard Kaulfersch; Josef Weber: *Integrated Thermo-electro-mechanical Modeling of 3D E-cubes Structures*; Proceedings of the 14th International Conference Mixed Design of Integrated Circuits and Systems MIXDES 2007, Ciechocinek, Polska, 21-23.06.2007, str. 297-300.
- {2} **Grzegorz Janczyk**; Tomasz Bieniek; Paweł Janus; Jerzy Szyńska; Piotr Grabiec; Andrzej Kociubiński; Sven Reitz; Peter Schneider; Josef Weber; Peter Ramm; Eberhard Kaulfersch: *The High Level Thermo-electrical Modeling of the Complex 3D IC Structures*; Proceedings of the 6th Electronic Circuits and Systems Conference ECS 2007, Bratysława, Słowacja, 06-07.09.2007, str. 40-54
- {3} Tomasz Bieniek; Paweł Janus; Andrzej Kociubiński; Piotr Grabiec; **Grzegorz Janczyk**; Jerzy Szyńska: *Coupled Thermo-electro-mechanical Modeling and Simulation of 3D Micro- and Nanostructures*; Book of Abstracts IX Electron Technology Conference, ELTE 2007, str. 137-140, Elektronika, nr 1, 2008, str. 99-101 Kraków, Polska, 4-7.09.2007, ISBN: 83-88309-46-3, ISSN 0033-2089, e-ISSN 2449-9528
- {4} Tomasz Bieniek; **Grzegorz Janczyk**; Paweł Janus; Andrzej Kociubiński; Piotr Grabiec; Jerzy Szyńska; *Integrated Multi-domain Modeling and Simulation of Complex 3D Micro- and Nanostructures*; Proceedings of Smart Systems Integration 2008, str. 399-402 Barcelona, Hiszpania, 9-10.04.2008, ISBN: 978-3-8007-3081-0, SSI 2008
- {5} **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Szyńska; Piotr Grabiec: *Heterogeneous System for Thermal Modelling and Simulations of Heterogeneous e-Cubes Devices*; Conference Proceedings of the 15th International Conference Mixed Design of Integrated Circuits and Systems 2008, MIXDES 2008, str. 327-330 Poznań, Polska, 19-21.06.2008
- {6} Tomasz Bieniek; **Grzegorz Janczyk**; Paweł Janus; Piotr Grabiec: *e-CUBES Devices and Interconnects-integrated Modeling and Simulation for Reliability Analysis*; Conference Proceedings of the 15th International Conference Mixed Design of Integrated Circuits and Systems 2008, MIXDES 2008, str. 407-411; Poznań, Polska, 19-21.06.2008
- {7} **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Szyńska; Piotr Grabiec: *Reliability Issues of e-Cubes Heterogeneous System Integration*; Proceedings of 19th European Symposium on Reliability of Electron Devices, Failure Physics and Analysis, ESREF 2008, str. 1133-1138, Microelectronics Reliability, vol. 48, Issues 8-9 Maastricht, Holandia, 29-02.10.2008
- {8} **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Szyńska; Piotr Grabiec: *Integrated Thermal Modeling of Heterogeneous eCubes Stacked Devices*; Proceedings of the Thermnic 2008 – 14th International Workshop on Thermal Investigations of IC's and Systems, THERMINIC 2008; Rzym, Włochy, 24-26.09.2008, ISBN 978-2-35500-008-9 str. 80-84
- {9} Tomasz Bieniek; **Grzegorz Janczyk**; Paweł Janus; Jerzy Szyńska; Piotr Grabiec: *Reliability Issues in Modeling and Simulations of the Heterogeneous Integrated Systems*; Smart Systems Integration 2009 Conference Proceedings, SSI 2009, str. 428-431. Bruksela, Belgia, 10-11.03.2009
- {10} **Grzegorz Janczyk**; Tomasz Bieniek; Piotr Grabiec; Jerzy Szyńska: *Thermo-Mechanical Aspects of Reliability for Vertically Integrated Heterogeneous Systems*; Proceedings of the 16th International Conference Mixed Design of Integrated Circuits and Systems, MIXDES 2009; Łódź, Polska 25-27.06.2009, str. 536-540.
- {11} **Grzegorz Janczyk**; Tomasz Bieniek; Piotr Grabiec; Jerzy Szyńska: *Thermo-Mechanical Aspects of Reliability for Vertically Integrated Heterogeneous Systems*; Proceedings of 16th International Conference of Integrated Circuits and Systems, p. 536-540, Elektronika, vol. 1, nr 12, 2009, str. 83-87; Łódź, 25-27.06.2009, ISSN 0033-2089, e-ISSN 2449-9528
- {12} Tomasz Bieniek; **Grzegorz Janczyk**; Piotr Grabiec; Jerzy Szyńska: *Thermo-Mechanical Reliability Loop in Device Modeling*; Proceedings of the 15th International Workshop on Thermal Investigations of ICs and Systems, THERMINIC 2009, str. 84-86. Leuven, Belgia, 7-9.10.2009

- {13} Andrzej Kociubiński; Mariusz Duk; Tomasz Bieniek; **Grzegorz Janczyk**: *Zaawansowane modelowanie warstw diamentowych CVD w zasosowaniach MEMS/MOEMS*; Proceedings of 6th International Conference on New Electrical and Electronic Technologies and Their Industrial Implementation NEET 2009; Zakopane, Polska, 23-26.06.2009
- {14} Andrzej Kociubiński; Mariusz Duk; Tomasz Bieniek; **Grzegorz Janczyk**: *3-D Modeling of CVD Diamond Layers for MEMS Applications*; 8th Symposium Diagnostic & Yield Advanced Silicon Devices and Technologies for ULSI Era, DY 2009; Warszawa, Polska, 22-24.06.2009
- {15} Andrzej Kociubiński; Mariusz Duk; Tomasz Bieniek; **Grzegorz Janczyk**: *Zaawansowane modelowanie warstw diamentowych CVD w zastosowaniach MEMS/MOEMS*; Przegląd Elektrotechniczny, vol. 86, nr. 7, 2010; ISSN 0033-2097, e-ISSN 2449-9544, str. 221-223
- {16} **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Szyńska; Piotr Grabiec: *Investigation on Mechanical Stress Influence on MOS Transistor Parameter Fluctuation in 3D Heterogeneous Devices*; DATE'10 Friday Workshop on 3D Integration, Applications, Technology, Architecture, Design, Automation and Test. Electronic Workshop Digest. Drezno, Germany, 12-13.03.2010, str. 415-416.
- {17} Tomasz Bieniek; **Grzegorz Janczyk**; Piotr Grabiec; Jerzy Szyńska; Stanisław Kaliciński; Paweł Janus: *Micro and Nano Device - Customer-Oriented Product e-Engineering in e-CoFrame*; Proceedings of eChallenges e-2010 Conference, Warszawa, Polska, 27-29.10.2010, str. 1-5.
- {18} Tomasz Bieniek; **Grzegorz Janczyk**; Piotr Grabiec; Jerzy Szyńska: *Fizyczne aspekty niezawodności w modelowaniu zintegrowanych mikrosystemów*; Przegląd Elektrotechniczny, vol. 86, nr 10, 2010, str. 9-12 ISSN 0033-2097, e-ISSN 2449-9544
- {19} Tomasz Bieniek; **Grzegorz Janczyk**; Piotr Grabiec; Jerzy Szyńska: *Fizyczne aspekty niezawodności w modelowaniu zintegrowanych mikrosystemów*; Proceedings of XI Konferencja Naukowa Czujniki Optoelektroniczne i Elektroniczne", COE 2010 Nałęczów, Polska, 20-23.06.2010
- {20} Tomasz Bieniek; **Grzegorz Janczyk**; Stanisław Kaliciński; Paweł Janus; Krzysztof Domański; Piotr Grabiec; Jerzy Szyńska: *Methodology and Tools for Customer-Oriented Product Engineering of Micro and Nano Devices*; Proceedings of 10th Electron technology, International Miceoelectronics and Packaging Society Poland ELTE 2010; Wrocław, Polska, 22-25.09.2010, ISBN 978-83-917701-8-4, str. 89
- {21} Tomasz Bieniek; **Grzegorz Janczyk**; Piotr Grabiec; Jerzy Szyńska; Stanisław Kaliciński; Paweł Janus: *Support of Heterogeneous Systems Development Process by Dedicated Customer-Oriented Methodology and Tools*; 5th Wide Bandgap Materials – Progress in Synthesis and Applications and 7th Diamond & Related Films jointly with 2nd International Workshop on Science and Applications of Nanoscale Diamond Materials; Zakopane, Polska, 28.06-02.07.2010, str. 103-104
- {22} Tomasz Bieniek; **Grzegorz Janczyk**; Piotr Grabiec; Jerzy Szyńska; Stanisław Kaliciński; Paweł Janus: *Methodology and Tools for Customer-Oriented Micro and Nanodevices Efficient Product Development*; Proceedings of the 2nd International Conference Engineering and Meta-Engineering, Orlando, 27-30.03.2011, 2011, str. 56-61
- {23} **Grzegorz Janczyk**; Tomasz Bieniek; Piotr Grabiec; Artur Wymysłowski; Ryszard Świerczyński: *Optimization on MEMS-IC SiP Development Reliable Design Methods*; Proceedings of the Int. Workshop on Testing Three-Dimensional Stacked Integrated Circuits 3D-TEST in Conjunction with ITC, str. 1-6 Anaheim, USA, 4-11.11.2012
- {24} Tomasz Bieniek; **Grzegorz Janczyk**; Paweł Janus; Piotr Grabiec; Marek Nieprzecki; Grzegorz Wielgoszewski; Teodor Gotszalk; Magdalena Moczala; Elizabeth Buitrago; Montserrat Fernandez-Bolanos Badia Adrian Ionescu: *Reliability Investigation by Examination of Dedicated MEMS/ASIC and NWS Test Structures Related to Novel 3D SiP and Nano-Sensors Systems*; Proceedings of the Int. Workshop on Testing Three-Dimensional Stacked Integrated Circuits 3D-TEST in Conjunction with ITC, str. 9-12 Anaheim, USA, 4-11.11.2012
- {25} Tomasz Bieniek; **Grzegorz Janczyk**; Paweł Janus; Piotr Grabiec; Marek Nieprzecki; Grzegorz Wielgoszewski; Magdalena Moczala; Teodor Gotszalk; Elizabeth Buitrago; Montserrat Fernandez-Bolanos Badia Adrian Ionescu: *Silicon Nanowires Reliability and Robustness Investigation Using AFM-Based Techniques*; Electron Technology Conference 2013, ETC 2013; Ryń, Polska, 16.04.2013 SPIE Proceedings, vol. 8902L-1-2.

- {26} **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Wąsowski; Piotr Grabiec: *Investigation on Reliability of Interconnects in 3D Heterogeneous System by Ageing Beam Resonance Method*; TechConnect World 2013 Proceedings: Nanotech, Microtech, Biotech, Cleantech, MilCROTECH 2013, str. 216-217. Vol. 1, Microelectronics Journal 45 (2014) s. 981-987. Waszyngton, USA, 12-16.06.2013, ISSN: 0026-2692
- {27} **Grzegorz Janczyk**; Tomasz Bieniek; Piotr Dumania; Artur Wymysłowski: *Development of Multiscale, Multicriteria Optimization of SiP Design Methods*; Proceedings of the 10th International Conference on Multi-Material Micro Manufacture, San Sebastian, Hiszpania, 8-10.10.2013, str. 276-279.
- {28} Tomasz Bieniek; **Grzegorz Janczyk**; Paweł Janus; Magdalena Ekwińska; Dariusz Szmigiel; Krzysztof Domański; Piotr Grabiec; Piotr Dumania: *Efficient Scenarios, Methodology and Tools for MEMS/NEMS Product Development*; Proceedings of the 10th International Conference on Multi-Material Micro Manufacture, San Sebastian, Hiszpania, 8-10.10.2013, str. 284-287
- {29} Tomasz Bieniek; **Grzegorz Janczyk**; Rafał Dobrowolski; Dariusz Szmigiel; Magdalena Ekwińska; Piotr Grabiec; Paweł Janus; Jerzy Zajac: *Dedicated MEMS-Based Test Structure for 3D SiP Interconnects Reliability Investigation*; Proceedings of the IEEE International 3D Integration Systems Conference 2013, 3DIC 2013, str. 12-16. San Francisco, USA, 2-4.10.2013
- {30} Andrzej Kociubiński; Tomasz Bieniek; **Grzegorz Janczyk**: *Design, Modeling and Simulation of MEMS Devices on Si, SiC and Diamond for Harsh Environment Applications*; 8'th International Conference New Electrical and Electronic Technologies and Their Industrial Implementation, NEET 2010; Zakopane, Polska, 18-21.06.2013
- {31} Tomasz Bieniek; **Grzegorz Janczyk**; Piotr Grabiec; e-BRAINS Project - European Activities in Heterogeneous Sensor Integration "Proceedings of 7th International Forum on Innovative Technologies for Medicine ITMED 2013" Białystok, Polska, 05-07.12.2013
- {32} **Grzegorz Janczyk**; Magdalena Ekwińska; Tomasz Bieniek: *SMAC Project - SMARt Systems Co-Design*; Proceedings of 7th International Forum on Innovative Technologies for Medicine ITMED 2013; Białystok, Polska, 05-07.12.2013
- {33} **Grzegorz Janczyk**; Tomasz Bieniek; Artur Wymysłowski; Ryszard Świerczyński: *PARSIMO Project - European Activities in System in Package Development*; Proceedings of 7th International Forum on Innovative Technologies for Medicine ITMED 2013" Białystok, Polska, 05-07.12.2013
- {34} **Grzegorz Janczyk**; Tomasz Bieniek: *Dedicated System Including MEMS-Based and ASIC Test Structures for 3D SiP Interconnects Reliability and Robustness Investigation*; Proceedings of 7th International Forum on Innovative Technologies for Medicine ITMED 2013, Białystok, Polska, 05-07.12.2013
- {35} Tomasz Bieniek; **Grzegorz Janczyk**; Paweł Janus; Piotr Grabiec; Marek Nieprzecki; Grzegorz Wielgoszewski; Magdalena Moczala; Teodor Gotszalk; Elizabeth Buitrago; Montserrat Fernandez-Bolanos Badia Adrian Ionescu; C Kraeh Adrian Popescu: *Reliability and Robustness Investigation of Novel Nanosensor Structures Using AFM-Based Techniques*; Proceedings of 7th International Forum on Innovative Technologies for Medicine ITMED 2013; Białystok, Polska, 05-07.12.2013
- {36} Tomasz Bieniek; **Grzegorz Janczyk**; Michał Marchewka; Magdalena Ekwińska; Jerzy Wąsowski; Piotr Grabiec: *Novel Methodology of MEMS-IC Co-simulation in Smart Systems Development Process*; Proceedings of Smart Systems Integration 2014, SSI 201, str. 447-450 Wiedeń, Austria, 26-27.03.2014
- {37} Magdalena Ekwińska; **Grzegorz Janczyk**; Tomasz Bieniek; Piotr Grabiec: *Methodology of MEMS-based Smart Systems Design, Modeling and Simulation – Development Practice*; Proceedings of of Smart Systems Integration 2014, SSI 201, str. 463-466 Wiedeń, Austria, 26-27.03.2014
- {38} Anna Palczyńska; Artur Wymysłowski; Tomasz Bieniek; **Grzegorz Janczyk**; Daniel Pasquet; T Vinh Dinh: *Crosstalk Phenomena Analysis Using Electromagnetic Wave Propagation by Experimental and Numerical Simulation Methods*; 15'th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems EuroSimE 2014, Ghent, France, 07-09.04.2014, ISBN: 978-1-4799-4791-1
- {39} **Grzegorz Janczyk**; Tomasz Bieniek: *Smart System Design in Context of Multicriteria Optimization based on Accelerated Ageing Techniques for IC Interconnect Structures*; Proceedings of TechConnect World 2014: Nanotech, Microtech, Biotech, Cleantech, NANOTECH 2014, str. 257-260, Vol.3 Waszyngton, USA, 15-18.06.2014

- {40} **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Szyuka; Piotr Grabiec: *Reliability Issues of e-Cubes Heterogeneous System Integration*; Microelectronics Reliability, 2008, vol. 48, Issues 8-9, str. 1133-1138 ISSN 0026-2714
- {41} **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Szyuka; Piotr Grabiec: *Reliability Aspects of 3D-Oriented Heterogeneous Device Related to Stress Sensitivity of MOS Transistors*; Proceedings of the IEEE International 3D Integration Systems Conference 2009, 3DIC 2009, str. 1-6. San Francisco, USA, 28-30.09.2009
- {42} Tomasz Bieniek; **Grzegorz Janczyk**; Stanisław Kaliciński; Paweł Janus; Krzysztof Domański; Piotr Grabiec; Jerzy Szyuka: *Methodology and Tools for Customer-Oriented Product Engineering of Micro and Nano Devices*; 10th Conference Electron Technology , 2010, International Microelectronics and Packaging Society Poland ISBN 978-83-917701-8-4
- {43} **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Wąsowski; Piotr Grabiec: *Investigation on Reliability of Interconnects in 3D Heterogeneous System by Ageing Beam Resonance Method*; Microelectronics Journal, Volume 45, Issue 7, July 2014, str. 981–987 ISSN: 0026-2692
- {44} Andrzej Kociubiński; Tomasz Bieniek; **Grzegorz Janczyk**: *Design, Modeling and Simulation of MEMS Devices on Si, SiC and Diamond for Harsh Environment Applications*; Acta Physica Polonica A, ISSN 0587-4246, e-ISSN 1898-794X, str. 1374-1376
- {45} Tomasz Bieniek; **Grzegorz Janczyk**; Piotr Grabiec: *e-BRAINS Project - European Activities in Heterogeneous Sensor Integration*; Proceedings of 7th International Forum on Innovative Technologies for Medicine ITMED 2013" Białystok, Polska, 05-07.12.2013
- {46} **Grzegorz Janczyk**; Magdalena Ekwińska; Tomasz Bieniek: *SMAC Project - SMARt Systems Co-Design*; Proceedings of 7th International Forum on Innovative Technologies for Medicine ITMED 2013; Białystok, Polska, 05-07.12.2013
- {47} Piotr Grabiec; Tomasz Bieniek; **Grzegorz Janczyk**; Paweł Janus; Teodor Gotszalk: *Where Micro Meets Nano: Characterization Issues in Heterogeneous Integration*; 3rd e-BRAINS Workshop on Heterogeneous 3D Integration of Sensors and Circuits for Smart Microsystems, Lozanna, Szwajcaria, 17-17.02.2014
- {48} Magdalena Ekwińska; **Grzegorz Janczyk**; Tomasz Bieniek; Dariusz Szmigiel; Rafał Dobrowolski; Tomasz Budzyński; Krzysztof Domański; Michał Marchewka; Piotr Grabiec: *Methodology of MEMS Development on Example of Specialized MEMS Microphone*; Proceedings of 4th National Conference on Nano- and Micromechanics, KKNM 2014; Wrocław, Polska, 08-10.07.2014, str. 1-15"
- {49} Andrzej Kociubiński; Mariusz Duk; Tomasz Bieniek; **Grzegorz Janczyk**; Michał Borecki: *Innovative SiC over Si Photodiode Based Dual-Band, 3D Integrated Detector*; Proceedings of the IEEE International Conference on 3D Systems Integration 3DIC 2014; Kinsale Cork, Irlandia, 1-3.12.2014
- {50} Tomasz Bieniek; **Grzegorz Janczyk**; Magdalena Ekwińska; Tomasz Budzyński; Grzegorz Głuszko; Piotr Grabiec; Andrzej Kociubiński: *Novel Methodology for 3D MEMS-IC Design and Co-Simulation on MEMS Microphone Smart System Example*; Proceedings of the IEEE International Conference on 3D Systems Integration 3DIC 2014; Kinsale Cork, Irlandia, 1-3.12.2014, str. 5-8
- {51} **Grzegorz Janczyk**; Tomasz Bieniek; Jerzy Wąsowski; Magdalena Ekwińska; Piotr Grabiec: *MEMS Sensor and IC Development: Innovative Tools, Methods, Design Practice*; Workshop on 3D Integration Technology, Architecture, Design, Package, Automation, and Test; DATE 2015 Conference and Exhibition - Design, Automation & Test in Europe ITADP15; Grenoble, Francja, 09-13.03.2015
- {52} Mateusz Gęca; Andrzej Kociubiński; **Grzegorz Janczyk**; Tomasz Bieniek; Mariusz Duk; Michał Borecki: *4H-SiC Microheater for Local Heating of Liquid Samples in Multiparametric Capillary Sensors Smart Engineering of New Materials*; SENM 2015; Łódź, Polska, 22-25.05.2015
- {53} Andrzej Kociubiński; Mariusz Duk; Tomasz Bieniek; **Grzegorz Janczyk**; Norbert Kwietniewski; Michał Borecki: *Experience on 4H-SiC Based Photodetectors Development*; Smart Engineering of New Materials, SENM 2015, Łódź, Polska, 22-25.05.2015
- {54} Tomasz Bieniek; **Grzegorz Janczyk**: *Thermo-Mechanical Modelling of Innovative Power Distribution Modules for Stacked Ics Microtechnology and Thermal Problems in Electronics*; MICROTHERM 2015, Łódź, Polska, 22-25.05.2015

- {55} **Grzegorz Janczyk**; Piotr Dumania: *Sprzętowe aspekty bezpieczeństwa systemów teleinformatycznych z uwzględnieniem podatności systemów na modyfikacje i możliwości ich wykrycia*; Nauka, Przemysł, Obronność; 2015 NAPROB 2015, Warszawa, Polska, 26-26.05.2015
- {56} **Grzegorz Janczyk**; Piotr Dumania: *Sprzętowe aspekty bezpieczeństwa systemów teleinformatycznych a uwzględnieniem podatności systemów na modyfikacje i możliwości ich wykrycia Współczesne zagrożenia cyberterrorystyczne i bioterrorystyczne a bezpieczeństwo narodowe Polski - część II*; (WZCB15), Dęblin, Polska, 12-13.05.2015
- {57} Tomasz Bieniek; **Grzegorz Janczyk**: *Modular Interposer Architecture Providing Scalable Heat Removal, Power Delivery, and Communication (CarrlCool)*; 20'th edition of the Annual International Conference on Commercializing Micro- and Nanotechnology, COMS 2015; Kraków, Polska, 13-16.09.2015
- {58} Tomasz Bieniek; **Grzegorz Janczyk**: *Micro-Optical MEMS, Micro-Mirrors and Pico-Projectors (Lab4MEMSII)*; 20'th edition of the Annual International Conference on Commercializing Micro- and Nanotechnology, COMS 2015, Kraków, Polska, 13-16.09.2015
- {59} Andrzej Kociubiński; Mariusz Duk; Mariusz Sochacki; Tomasz Bieniek; **Grzegorz Janczyk**; Michał Borecki: *Silicon Carbide on Silicon Photodiode Stacks Ultraviolet/Visible Dual-Band Detector*; Smart Engineering of New Materials, SENM 2015 Łódź, Polska, 22-25.05.2015
- {60} **Grzegorz Janczyk**; Sprzętowe aspekty cyberbezpieczeństwa systemów teleinformatycznych. Podatność systemów scalonych na modyfikacje a możliwości ich wykrycia: polskie perspektywy "CYBERSEC 2015 Europejskie Forum Bezpieczeństwa, CYBERSEC" Kraków, Polska, 28-28.09.2015
- {61} Magdalena Ekwińska; Tomasz Bieniek; **Grzegorz Janczyk**; Jerzy Wąsowski; Paweł Janus; Piotr Grabiec; Grzegorz Głuszko; Jerzy Zając; Daniel Tomaszewki: *Specialized MEMS Microphone for Industrial Application*; 11'th International Conference on Mechatronics 2015 MECHATR 2015" Warszawa, Polska, 21-23.09.2015
- {62} Piotr Dumania; **Grzegorz Janczyk**: *CYBERBEZPIECZEŃSTWO zagrożenia spowodowane złośliwymi modyfikacjami układów scalonych*; 9'th International Forum Science and Technology Days Poland - East IFST 2015" Supraśl 28-30.05.2015
- {63} Tomasz Bieniek; **Grzegorz Janczyk**; Francesco Ivaldi; Lab4MEMS II - Micro-Optical MEMS, Micro-Mirrors and Pico-Projectors "9th International Forum Science and Technology Days Poland - East IFST 2015" Supraśl 28-30.05.2015
- {64} Tomasz Bieniek; **Grzegorz Janczyk**: *CarrlCool - Modular Interposer Architecture Providing Scalable Heat Removal, Power Delivery and Communication*; 9'th International Forum Science and Technology Days Poland - East IFST 2015" Supraśl 28-30.05.2015
- {65} **Grzegorz Janczyk**; Piotr Dumania: *CYBERKARD - Biocybernetyczny system predykcji i monitorowania powikłań narządowych nadciśnienia z wykorzystaniem nieinwazyjnych metod diagnostycznych i bezprzewodowych czujników do badania układu krążenia*; 9'th International Forum Science and Technology Days Poland - East IFST 2015, Supraśl 28-30.05.2015
- {66} Dirk Ortlof; Thilo Schmidt; Kai Hahn; Tomasz Bieniek; **Grzegorz Janczyk**; Rainer Bruck: *MEMS Product Engineering. Handling the diversity of an Emmerging Technology. Best Practices for Cooperative Development*; Springer Publication Date: October 24, 2013 ISBN-10: 3709107059, ISBN-13:978-3709107058, edition 2014
- {67} **Grzegorz Janczyk**; Tomasz Bieniek; Piotr Grabiec; Jerzy Szyńska; Stanisław Kaliciński; Paweł Janus: *Micro and Nano Device Reliability Control by MOS Transistors Mechanical Stress Sensitivity Estimation and Flexible, Customer Oriented Product Engineering Flow*; IEEE International Integrated Reliability Workshop Final Report, 2010; Salt Lake tahoe, USA, 17-21.10.2010, ISBN 978-1-4244-8522-2, ISSN 1930-8841
- {68} Magdalena Ekwińska; Tomasz Bieniek; **Grzegorz Janczyk**; Jerzy Wąsowski; Paweł Janus; Piotr Grabiec; Grzegorz Głuszko; Jerzy Zając; Daniel Tomaszewki: *Specialized MEMS Microphone for Industrial Application Proceedings of Advanced Mechatronics Solutions, Series of Advances in Intelligent Systems and Computing*, SPRINGER, vol. 393, str. 453-460 ISBN: 978-3-319-23921-7, ISBN: 978-3-319-23923-1
- {69} Tomasz Bieniek; **Grzegorz Janczyk**; Rafał Dobrowolski; Karina Wojciechowska; Anna Malinowska; Andrzej Panas; Marek Nieprzecki; Helena Kłos: *Functionalization of MEMS Cantilever Beams for*

Interconnect Reliability Investigation - Development Practice; Proceedings of 14'th International Conference on Electronic and Optical Sensors, COE2016 Gdańsk, Polska, 19-22.06.2016

- {70} Magdalena Ekwińska; **Grzegorz Janczyk**; Tomasz Bieniek; Piotr Grabiec; Jerzy Zając; Jerzy Wąsowski: *Design—Simulation—Optimization Environment of Specialized MEMS Recent Global Research and Education: Technological Challenges*, Volume 519 of the series *Advances in Intelligent Systems and Computing* pp 491-498 ISBN: 978-3-319-46489-3, ISBN: 978-3-319-46490-9
- {71} Tomasz Bieniek; **Grzegorz Janczyk**: *Innovative 3D System Development by Multifunctional IC Interposer Platform - Signal Integrity and Thermal Management - Solutions for High Performance Computing*; Proceedings of 6th Electronic System Integration Technology Conference and Exhibition, ESTC2016 Grenoble, Francja, 13-16.09.2016
- {72} Tomasz Bieniek; **Grzegorz Janczyk**, Helena Kłos: *Innovative, Scalable Architecture of Modular Interposer System for Massive Heat Removal, High Power Delivery and Optical Signaling - CarriCool Project*; ELTE'16, Wisła, Polska, 11-14.09.2016
- {73} Magdalena Ekwińska; **Grzegorz Janczyk**; Piotr Grabiec; Jerzy Zając: *Design - Simulation - Optimization Environment of Specialized MEMS*; 16'th International Conference on Global Research and Education Inter-Academia 2016 INTER-ACAD, Warszawa, Polska, 26-28.09.2016
- {74} **Grzegorz Janczyk**: *Moore, More than Moore, Systemy heterogeniczne, IoT, Industry 4.0: Metodologia, Narzędzia projektowania, Integracja 3D – Ograniczenia, wyzwania i droga rozwoju Technologii Elektronicznych*; *Elektronika* 8/2016, p. 69-74 ISSN 0033-2089